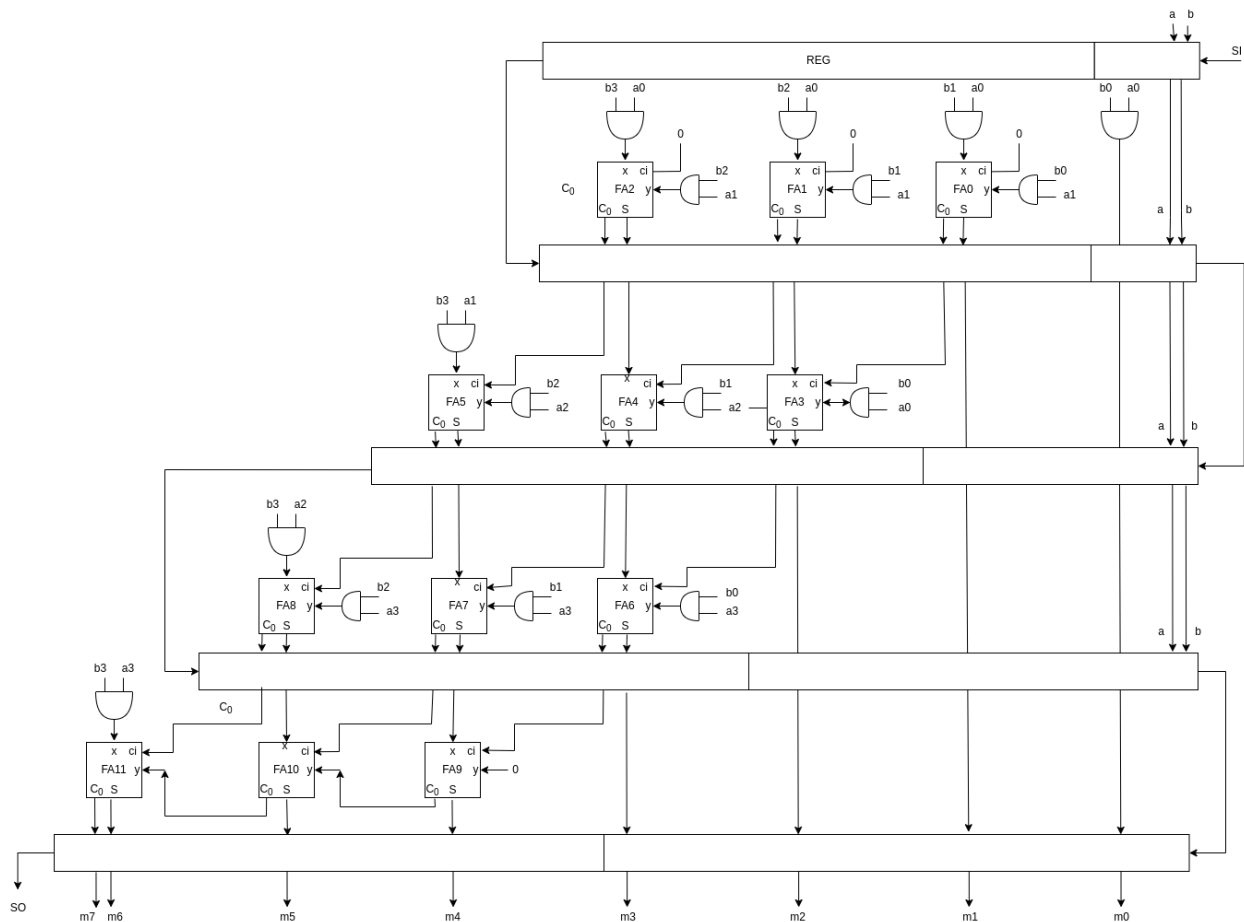


Laboratorijska vežba 3

Design for test

Fabrikacije čipova je jako komplikovana proces i prilikom tog procesa nešto može da krene po zlu. Kako bi se detektovali takvi kvarovi neophodno je projektovati čipove koji mogu da se testiraju nakon što se fabrikuju i takvi digitalni sistemi se zovu DFT (design for test). U ovim i narednim vežbama pričaćemo o nekoliko načina na koje se može realizovati takav sistem. Prvi način koji ćemo pomenuti jeste design SCAN (pogledati predavanje 3 str. 54 - 66).

U materijalu za laboratorijsku vežbu 1, slika 3, prikazan je array množač 4-bitnih brojeva. Na ovim laboratorijskim vežbama taj množač će biti proširen sa određenim brojem faza protočne obrade kao što je prikazano na sledećoj slici:



Zadatak:

- Napisati VHDL model, pri čemu je potrebno koristiti VHDL model punog sabirača razvijen u zadatku 1 sa laboratorijske vežbe 1. Prilikom implementacije registara odabrati jednu od sledeće 3 arhitekture:
 - muxed-D scan.
 - Clocked-scan.
 - LSSD scan.
- Koristeći algoritam za pronalaženje minimalnog skupa test vektora, predstavljen u okviru trećeg predavanja, „Modeli kvarova i generisanje testova za njihovu detekciju u digitalnim kolima“, na slajdovima 47-48, odrediti minimalni broj test vektora potreban za detekciju SA kvarova u kolu 4-bitnog array množača sa protočnom obradom.
- Iskoristiti pronađene test vektore i pomoću scan arhitekture u simulaciji testirati array množač sa protočno obradom.