Mikroprocesorska elektronika

Predavanje VII

Sadržaj predavanja

- Osnove sistema prekida
- Dizajn softvera za rad sa prekidima
- Sistem prekida u mikrokontroleru ATmega328P

Osnove sistema prekida

Prednosti embeded sistema baziranih na sistemu prekida

- Prekidi omogućavaju efikasno servisiranje zahteva za obradom generisanih u periferijskim jedinicama ili od strane okruženja embeded sistema

- Kada se uporedi sa sistemom prozivki, servisiranje zahteva bazirano na prekidima rezultuje u mnogo efikasnijem korišćenju centralnog procesora

- Pored ove prednosti, projektovanje embeded sistema baziranih na sistemu prekida ima i čitav niz dodatnih prednosti:
  - **Kompaktan i modularan softver** – prekidni programi (Interrupt Service Routine, ISR) nameću korišćenje modularizacije programa i njegovo ponovno korišćenje
  - **Smanjena potrošnja** – Kako korišćenje ISR rezultuje u izvršavanju manjeg broja CPU ciklusa, ovo ima direktan uticaj na količinu električne energije potrošenu od strane aplikacije
  - **Brže vreme odziva** – Kada u sistemu postoji veći broj različitih periferijskih jedinica, odnosno eksternih događaja, koje je potrebno servisirati, pažljivo projektovane ISR rutine obezbeđuju brzi odziv na zahteve za obradom. Pametno korišćenje sistema prioriteta prekida obezbeđuje brzo vreme odziva.

Osnovne komponente potrebne za implementaciju sistema prekida I

- Da bi mogao da koristi sistem prekida, projektant embeded sistema mora da uključi odgovarajuće hardverske i softverske komponente

- U zavisnosti od stepena integracije procesora na kome se bazira embeded sistem, hardverske komponente za podršku radu sa prekidima mogu se nalaziti:
  - Odvojene od CPU jedinice na posebnom integrisanom kolu, kao što je obično slučaj sa mikroprocesorima,
  - Zajedno sa CPU jedinicom, integrisane na istom čipu, kao što je obično slučaj kod mikrokontrolera

- Nezavisno od načina realizacije, kada postoji hardverska podrška radu sa sistemom prekida, potrebno je obezbediti korektno konfigurisanje hardvera i razviti odgovarajuće softverske module da bi se kompletirala implementacija sistema prekida u nekom embeded sistemu

Osnovne komponente potrebne za implementaciju sistema prekida II

- Zahtevi za prekidom najčešće su inicirani nekim hardverskim događajem
- Događaji kao što su pritisak tastera, dostizanje neke granične vrednosti ili isticanje nekog vremenskog intervala, su neki od primera događaja koji mogu da iniciraju pojavu zahteva za prekidom
- Kada se jednom neki hardverski događaj konfiguriše da generiše zahteve za prekidom, njihovo pojavljivanje je potpuno nepredvidivo i asinhrono
- Upravo iz ovog razloga softverska komponenta koja pruža podršku radu sa prekidima mora biti napisana imajući ovu činjenicu na umu

Načini signalizacije zahteva za prekidom

- Zahtev za prekidom uvek se sistemu za obradu prekida saopštava korišćenjem jednog električnog signala

- Generalno, postoje dva pristupa za inidikaciju postojanja zahteva za prekidom unutar embeded sistema:

  - Indikacija bazirana na korišćenju nivoa signala (level-sensitive)

  - Indikacija bazirana na korišćenju ivice signala (edge-sensitive)

Sistemi prekida bazirani na nivou signala

- Sistem za signalizaciju prekida baziran na nivou signala koristi nivo logičke nule ili logičke jedinice kao informaciju da postoji zahtev za prekidom
- Bez obzira na nivo signala koji se koristi za signalizaciju postojanja zahteva za prekidom, odgovarajući **nivo signala** mora da bude održavan sve dok se zahtev za prekidom ne primi od strane sistema za obradu prekida
- Na ovaj način se garantuje da će zahtev za prekidom biti „viđen“ od strane sistema za obradu prekida
- Neke periferijske jedinice su projektovane na takav način da automatski uklanjaju zahtev za prekidom kada im se pristupi

Sistemi prekida bazirani na ivici signala

- U sistemu za signalizaciju prekida baziranom na korišćenju ivice signala, prekid se signalizira pojavom rastuće ili opadajuće ivice
- U ovom sistemu sistem za obradu prekida mora da interno sačuva podatak o postojanju zahteva za prekidom, jer u protivnom zahtev za prekidom može proći neprimećen
- Većina savremenih mikrokontrolera dozvoljava da se za svaki ulazni port preko kojega se upućuje zahtev za prekidom specificira da li će taj zahtev biti saopšten pomoću nivoa ili ivice spojenog signala
- Obično unutar mikrokontrolera postoji poseban registar pomoću kojega je, konfigurisanjem individualnih bitova, moguće definisati način (nivo/ivica) saopštavanja zahteva za prekidom
- Kod nekih mikrokontrolera je u slučaju korišćenja ivice kao indikacije zahteva za prekidom moguće definisati da li će biti korišćena rastuća, opadajuća ili obe ivice

Softverski prekidi

- Zahtev za prekidom može biti iniciran od strane softvera, i u tom slučaju govorimo o softverskim prekidima
- Za razliku od hardverskih prekida, softverski prekidi su predvidljivi jer se generišu pod komandom programera
- Imajući ovo u vidu, softverski prekidi su ekvivalentni pozivu funkcije unutar programa

Maskirajući i nemaskirajući prekidi I

- Kao što je ranije rečeno, svi zahtevi za prekidom mogu se podeliti u dve grupe:
  - Maskirajuće zahteve za prekidom
  - Nemaskirajuće zahteve za prekidom

- Većina zahteva za prekidom u sistemu spadaju u klasu maskirajućih zahteva i prosto se nazivaju prekidima

- U slučaju maskirajućih zahteva za prekidom postoji odgovarajući mehanizam pomoću kojega programer može da zabrani (maskira) odgovarajući zahtev za prekidom

- Najčešće se to postiže postavljanjem ili brisanjem odgovarajućih bitova koji se nalaze unutar registra (Global Interrupt Enable, GIE) ili nekog posebnog registra namenjenog za tu svrhu (Interrupt Enable Register)

Maskirajući i nemaskirajući prekidi II

- Nemaskirajući zahtevi za prekidom ne mogu se zabraniti i kada se pojave procesor će pristupiti procesu obrade prekida
- Ovaj tip zahteva za prekidom tipično je rezervisan za kritične događaje u embeded sistemu, čija se obrada ne može odložiti
- Primer kritičnog događaja u sistemu mogla bi biti indikacija niskog nivoa baterije u nekom prenosivom uređaju
- Nakon što se detektuje nizak nivo baterije pomoću naponskog komparatora, generisao bi se nemaskirajući zahtev za prekidom
- Procesor bi započeo obradu ovog zahteva za prekidom i pristupio bi snimanju trenutnog stanja CPU-a kao i svih ostalih kritičnih podataka smeštenih u registrima i memoriji sa gubitkom sadržaja kako bi se sprečio gubitak podataka, i zatim bi započeo postupak gašenja sistema

Potreba za maskiranjem zahteva za prekidom

- Onemogućavanje, odnosno maskiranje, zahteva za prekidom je neophodna mogućnost prilikom rada sa prekidima
- Postoje trenuci i situacija kada procesor nije spreman da obrađuje nove zahteve za prekidom
- Na primer, nakon sistemskog reseta pre nego što se završi konfigurisanje čitavog sistema, procesor ne može da prihvata zahteve za prekidom jer sistem za obradu prekida još uvek nije konfigurisan
- Drugi primer kada nije dozvoljena obrada novih zahteva za prekidom je kada procesor počinje da izvršava prekidni potprogram

Dozvola/zabrana zahteva za prekidom unutar periferijskih jedinica I

- Pored odgovarajućih bitova unutar procesora koji se mogu koristiti za kontrolu dozvole/zabrane zahteva za prekidima, same periferijske jedinice takođe mogu posedovati mogućnost kontrole njihove sposobnosti da generišu zahteve za prekidima

- Na primer, razmotrimo slučaj tastera čiji pritisak izaziva pojavu zahteva za prekidom koji je povezan sa procesorom preko nekog globalnog ulazno/izlaznog porta (GPIO port)

- U ovom slučaju GPIO može da sadrži bit dozvole prekida (**IEF, Interrupt Enable Flag**) koji omogućava dozvolu/zabranu pojave zahteva za prekidom

- U ovom sistemu, da bi zaista došlo do prekida procesora potrebno je da budu podešeni odgovarajući bitovi za dozvolu prekida unutar samog procesora (**GEI**) ali i **IEF bit** u okviru interfejsa tastera.

Dozvola/zabrana zahteva za prekidom unutar periferijskih jedinica II

- Postojanje bitova za dozvolu/zabranu prekida unutar periferijskih jedinica predstavlja zgodan način pojedinačne kontrole svakog od mogućih izvora prekida unutar embeded sistema bez uticaja na generisanje zahteva za prekidom u drugim delovima sistema

- Procesor, po pravilu, ne poseduje dovoljan broj unutrašnjih bitova za kontrolu dozvole/zabrane svih mogućih izvora prekida tako da na ovaj način nije moguća njihova pojedinačna kontrola

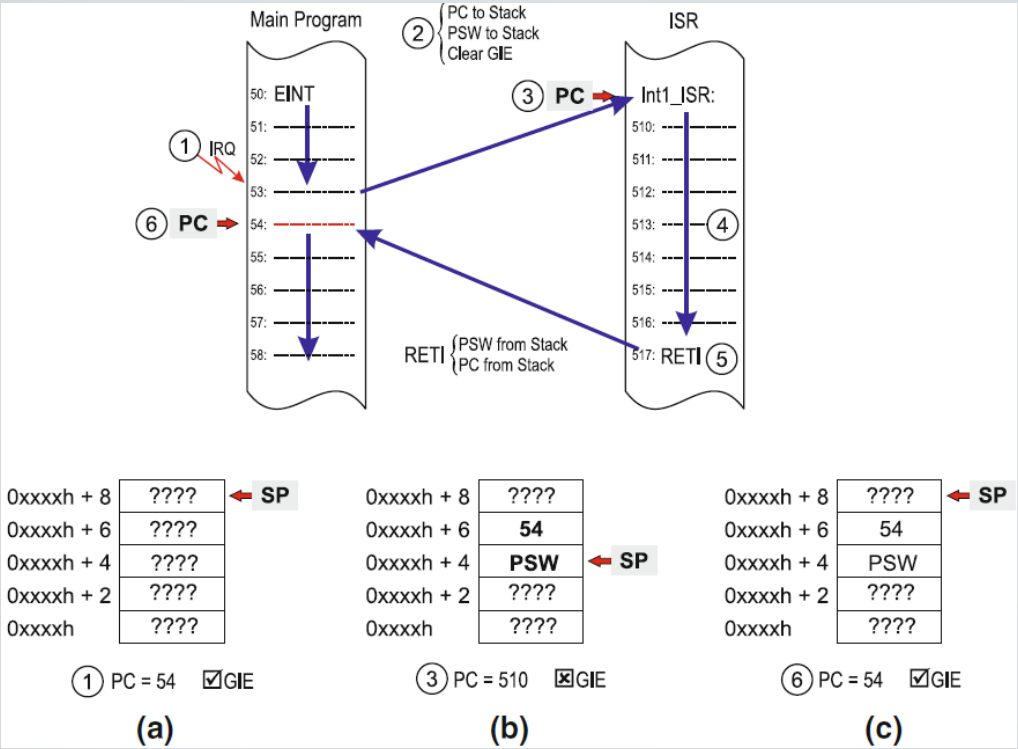
- U slučaju da procesor poseduje samo jedan, globalni, bit za dozvolu/zabranu prekida u sistemu možemo ili dozvoliti sve zahteve ili zabraniti sve zahteve za prekidom što u većini slučajeva ne pruža dovoljan nivo kontrole

Prozivka u sistemu prekida

- Vrlo često se i u sistemima baziranim na sistemu prekida javlja potreba za prozivkom pojedinačnih uređaja koji su mogli generisati zahtev za prekidom
- Ovo je redovno slučaj kada veći broj različitih događaja unutar sistema generiše jedan, zajednički, zahtev za prekidom
- Aktivacija jednog, zajedničkog, zahteva za prekidom (IRQ) obaveštava procesor da neka od periferijskih jedinica ima potrebu da komunicira sa procesorom ali procesor ne zna o kojoj konkretnoj jedinici je reč
- Da bi se rešio gore navedeni problem, većina periferijskih jedinica poseduje odgovarajuće statusne bite koji signaliziraju da je periferijska jedinica generisala odgovarajuće zahteve za prekidom
- Kada procesor dobije zajednički zahtev za prekidom, on redom proverava statusne bite u svim periferijskim jedinicama čiji su individulani zahtevi za prekidom povezani na zajednički zahtev za prekidom kako bi utvrdio koja je periferijska jedinica zahtevala komunikaciju sa procesorom

Sekvenca obrade zahteva za prekidom I

- Prilikom obrade zahteva za prekidom dešavaju se sledeći koraci:
  1. Zahtev za prekidom dolazi do procesora u trenutku kada on izvršava instrukciju iz glavnog programa na adresi 53. Nakon detekcije zahteva za prekidom procesor najpre kompletira izvršavanje instrukcije sa adrese 53.
  2. Procesor smešta trenutni sadržaj PC registra, koji pokazuje na adresu 54, sadržaj PSW registra na stek (vidi sliku b). Nakon toga procesor zabranjuje dozvolu svih novih prekida, brišući sadržaj GIE bita.
  3. U PC registar smešta se adresa prve instrukcije prekidnog potprograma (ISR) koji je asociran izvoru prekida preko kojega je stigao zahtev za prekidom. Način na koji se ovo određuje biće objašnjen kasnije.
  4. Procesor izvršava asocirani prekidni podprogram nailazeći na RETI instrukciju
  5. Izvršavanje RETI instrukcije izaziva postavljanje starih vrednosti PSW i PC registara, koristeći vrednosti sa steka
  6. Procesor nastavlja sa izvršavanjem glavnog programa, izvršavajući instrukciju sa adrese 54



Sekvenca obrade zahteva za prekidom II

- U prethodnoj sekvenci događaja, jedan aspekt je ostao neobjašnjen:

  Kako procesor zna koju početnu adresu prekidnog potprograma treba da smesti u PC registar kada naiđe zahtev za prekidom?

- U slučaju da u sistemu imamo samo jedan izvor prekida, ovaj problem je trivijalan, ali u slučaju da u sistemu imamo veliki broj različitih izvora prekida, od kojih svaki ima svoj asocirani prekidni potprogram, izbor pravog prekidnog potprograma koji je potrebno izvršiti postaje ozbiljan

- Drugi problem koji se može pojaviti u sistemima sa većim brojem izvora prekida je istovremeno stizanje više od jednog zahteva za prekidom

- Obzirom da je procesor sekvencijalna mašina, on u jednom trenutku može da opsluži samo jedan zahtev

Sekvenca obrade zahteva za prekidom III

- Da bi se rešili navedeni problemi u embeded sistemu moraju biti prisutni sledeći **mehanizmi za upravljanje prekidima**:

- Identifikacija izvora koji je generisao zahtev za prekidom kako bi se mogao izvršiti njemu asocirani prekidni podprogram

- Razrešavanje konflikta do kojega dolazi kada veći broj periferijskih uređaja istovremeno generiše zahteve za prekidom

Postupci za identifikaciju izvora prekida

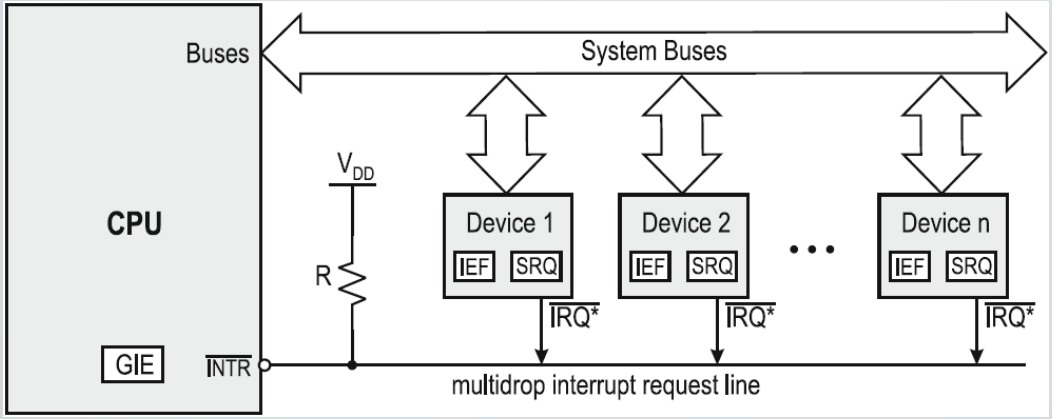
- Tokom evolucije embeded sistema, predloženi su različiti postupci za **identifikaciju izvora zahteva za prekidom** u slučaju kada u sistemu postoji više od jednog periferijskog uređaja koji može da generiše zahtev za prekidom

- U opštem slučaju, svi postupci mogu se klasifikovati u jednu od tri grupe:

  - Postupci bazirani na ne-vektorskim prekidima
  - Postupci bazirani na auto-vektorskim prekidima
  - Postupci bazirani na vektorskim prekidima

Ne-vektorski prekidi I

- Najjednostavniji način za obradu zahteva za prekidom je da sve periferijske jedinice upućuju zahteve preko jedne, zajedničke linije
- Kada bilo koja od periferija pošalje zahtev, INTR linija procesora će se aktivirati i procesor će pristupiti obradi zahteva za prekidom
- Međutim, nadgledajući samo INTR liniju procesor nije u mogućnosti da sazna koja periferija je uputila zahtev za prekidom
- Stoga se unutar prekidnog potprograma mora pristupiti prozivci svih periferija koje su povezane na INTR liniju kako bi se, ispitujući njihove statusne bite (SRQ) utvrdilo koja od njih je uputila zahtev za prekidom
- Ovakvi sistemi se nazivaju ne-vektorski, jer svim mogućim zahtevima odgovara jedan prekidni potprogram



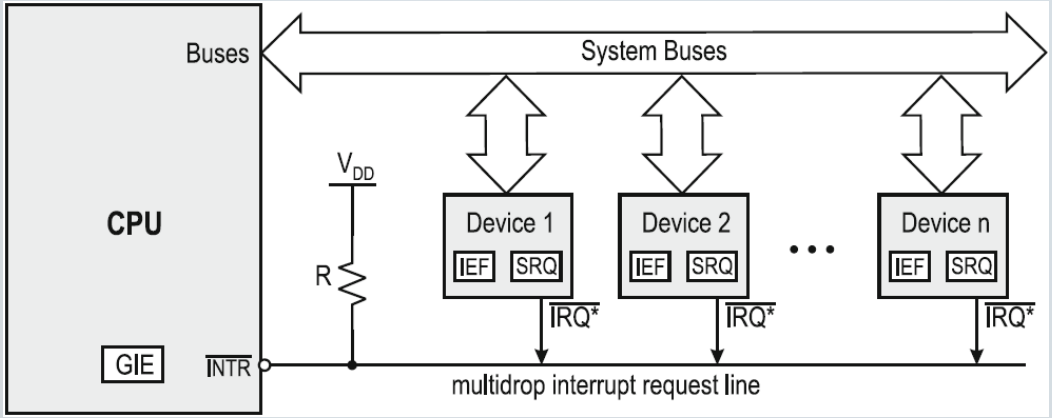
Ne-vektorski prekidi II

- Da bi sistem funkcionisao, svaka periferijska jedinica se mora povezati na zajedničku INTR liniju koristeći “open-drain” ili “open-collector” izlaz (IRQ*)

- Kada se unutar neke periferijske jedinice desi događaj koji treba da inicira generisanje zahteva za prekidom, ukoliko je njen IEF bit setovan, periferijska jedinica će aktivirati svoj IRQ* izlaz i setovati svoj SRQ bit

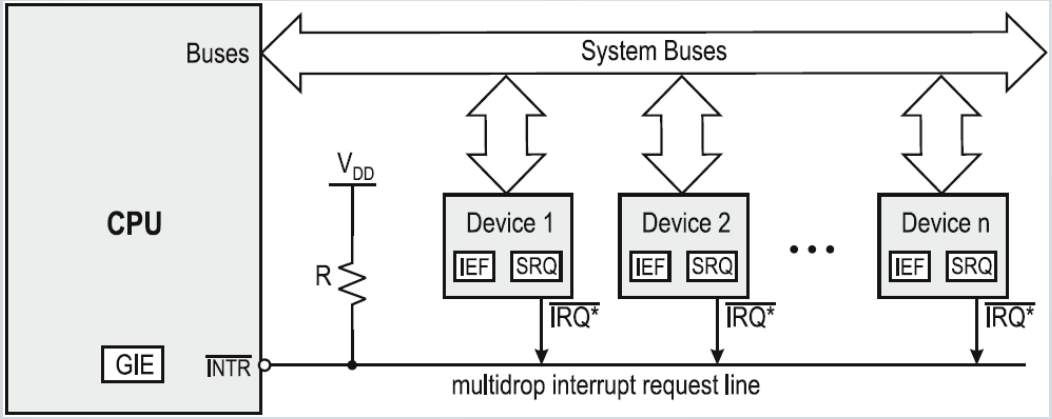
- Kada procesor detektuje da je INTR port aktivan, ukoliko je GIE bit setovan, prekinuće izvršavanje tekućeg programa i u PC registar smestiti početnu adresu prekidnog podprograma

- U sistemim sa ne-vektorskim prekidima ova adresa prekidnog programa je unapred utvrđena i fiksna, tako da se prilikom razvoja softvera prva instrukcija prekidnog potprograma mora smestiti na tu adresu



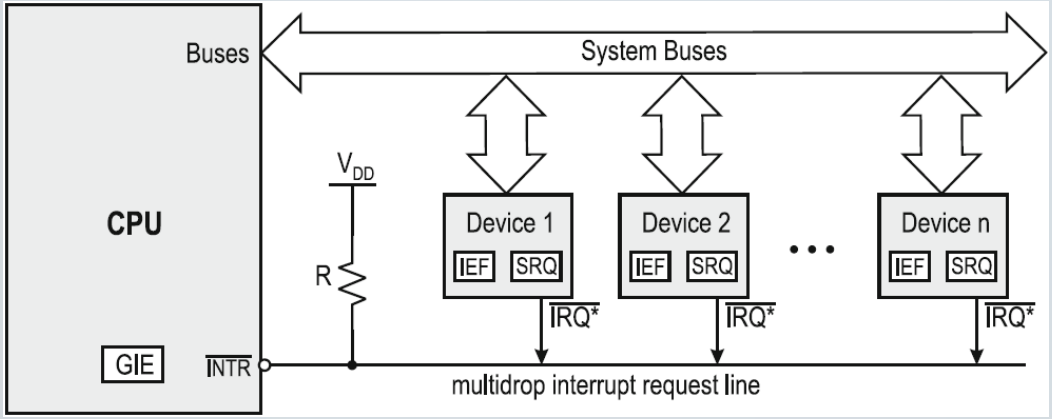
Ne-vektorski prekidi III

- Bez obzira na to koja je periferijska jedinica generisala zahtev za prekidom, procesor uvek izvršava isti prekidni potprogram
- Unutar prekidnog programa, procesor "proziva" svaku periferijsku jedinicu i proverava njen SRQ bit kako bi utvrdio koja od njih je generisala zahtev za prekidom
- Odsustvo hardverskog mehanizma koji bi procesoru omogućio da automatski identifikuje periferijsku jedinicu koja je generisala zahtev za prekidom je razlog zašto se ovakav sistem naziva ne-vektorski
- Neki od procesora umesto fiksne početne adrese prekidnog potprograma koriste fiksnu lokaciju na koju se smešta početna adresa
- Prilikom obrade prekida, procesor u PC registar upisu vrednost smeštenu na ovoj posebnoj lokaciji



Ne-vektorski prekidi IV

- Ukoliko se u sistemu pojavi veći broj istovremenih zahteva za prekidom, redosled "prozivanja" periferijskih jedinica određuje koji zahtev će prvi biti opslužen
- Na ovaj način, redosled "prozivanja" periferijskih jedinica određuje prioritet između različitih zahteva za prekidom
- Embeded sistemi bazirani na ne-vektorskim izvorima prekida, iako jednostavni za realizaciju, najčešće rezultuju u sporijoj obradi upućenih zahteva za prekidom
- Ovo je stoga što se prilikom svakog zahteva za prekidom prvo mora utvrditi koja periferijska jedinica je uputila zahtev



Vektorski prekidi I

- Efikasniji način za identifikaciju izvora prekida postignut je u sistemima koji koriste vektorske izvore prekida
- U vektorskom sistemu postoji hardverski mehanizam koji omogućava automatsku identifikaciju izvora prekida bez potrebe za “prozivkom” potencijalnih izvora
- Najčešće korišćeni mehanizam uključuje postojanje dodatne linije (INTA), preko koje procesor saopštava periferijskim jedinicama da je primio zahtev za prekidom
- Kada periferijska jedinica detektuje da je INTA signal aktivan, u slučaju da je ona generisala zahtev za prekidom, šalje identifikacioni kod (ID) nazad ka procesoru
- Svakoj periferijskoj jedinici pridružen je jedinstven ID kod

Vektorski prekidi II

- Analizirajući primljeni ID kod, procesor može odrediti koja periferijska jedinica je uputila zahtev za prekidom i početi izvršavanje odgovarajućeg prekidnog programa

- Zbog toga se ovi ID kodovi često nazivaju i prekidni vektori, a otuda i ime čitavom sistemu

- Kod vektorskih sistema, u sistemskoj memoriji postoji posebna zona u koju se smešta tabela u kojoj se nalaze asocijacije između svakog prekidnog vektora i početnih adresa prekidnih potprograma koji su namenjeni za njihovu obradu

- Ova memorijska zona se često naziva i **sistemska vektor tabela**

Vektorski prekidi III

- Vektorski pristup identifikaciji izvora prekida često se sreće kod mikroprocesora, gde se od periferijskih jedinica koje su generisale zahtev za prekidom očekuje da pošalju svoj ID kod procesoru preko magistrale podataka u trenutku kada detektuju aktivaciju INTA signala

- U većini slučajeva ID kod ne predstavlja vrednost početne adrese prekidnog podprograma koji je potrebno izvršiti

- ID kod se obično koristi da se pomoću njega izračuna vrednost početne adrese prekidnog podprograma, najčešće korišćenjem sistemske vektor tabele

- Intel x86 procesori koriste ovaj mehanizam

Auto-vektorski prekidi I

- Kod mikrokontrolera, gde veliki broj različitih periferijskih jedinica na čipu (tajmera, I/O portova, serijskih portova, A/D i D/A konvertora) može generisati zahteve za prekidom, često se koristi mehanizam koji se zove auto-vektorski

- Kod ovog mehanizma, svaka periferijska jedinica ima unapred pridružen vektor prekida, odnosno fiksnu adresu koja upućuje na početnu instrukciju prekidnog potprograma

- U ovom slučaju, procesor nema potrebe da generiše INTA signal niti periferijska jedinica mora da šalje svoj ID kod procesoru

- Kada se detektuje neki od zahteva za prekidom, procesor u PC registar upisuje početnu adresu prekidnog potprograma

Auto-vektorski prekidi II

- U zavisnosti da li je moguće modifikovati početne adrese prekidnih potprograma kod auto-vektorskih prekida postoje dve vrste mikrokontrolera:

- **Mikrokontroleri sa fiksnim početnim adresama prekidnih podprograma** - u PC registar upisuje se predefinisana početna adresa prekidnog podprograma. Početna adresa prekidnog potprograma ne može se menjati od strane programera.

- **Mikrokontroleri sa fiksnim vektorima prekida** – u PC registar se upisuje početna adresa prekidnog potprograma iz sistemske vektor tabele na osnovu vektora pridruženog dotičnom prekidu. Programer ne može menjati vektore prekida ali može menjati sistem vektor tabelu. Ovo pruža mogućnost programeru da proizvoljno organizuje pozive prekidnih potprograma unutar memorijskog adresnog prostora mikrokontrolera

Prioriteti zahteva za prekidom I

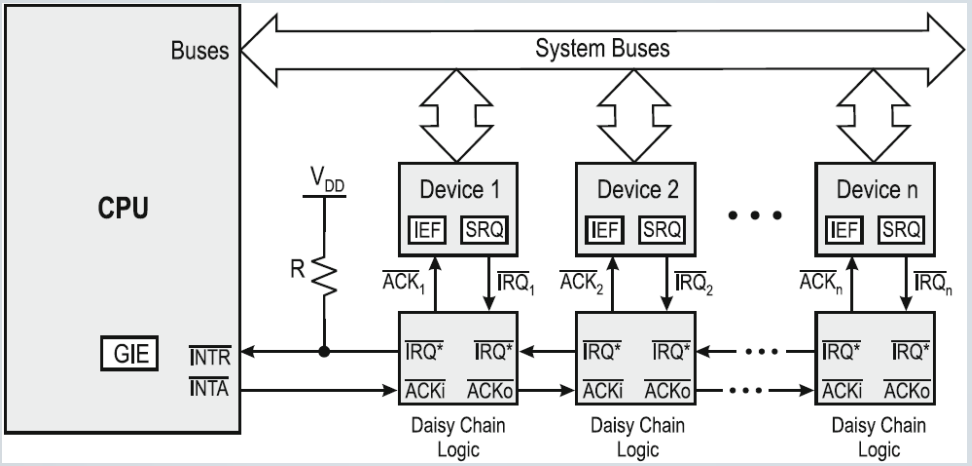
- U slučaju da postoji više periferijskih jedinica sa mogućnošću generisanja zahteva za prekidom unutar embeded sistema, moguće su situacije da dve ili više periferijskih jedinica istovremeno generišu zahteve za prekidom
- U ovom slučaju, procesor mora da poseduje neki mehanizam pomoću kojega će odrediti redosled obrade prekida, odnoso mora da utvrdi prioritet obrade pristiglih zahteva
- Ovo je neophodno obzirom da u svakom trenutku procesor može da izvršava samo jedan zadatak
- Postoje razni načini da se obezbedi sistem prioriteta unutar mikroračunarskog sistema, pri čemu mogu biti bazirani na softverskoj ili hardverskoj realizaciji

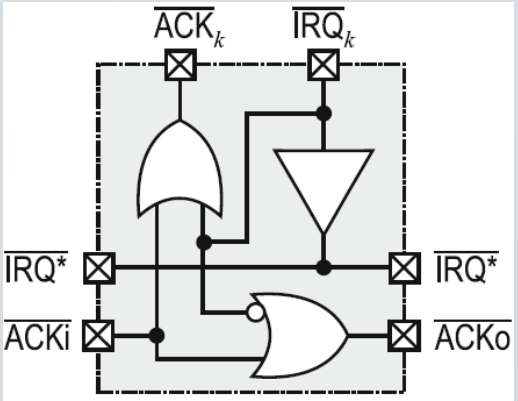
Prioriteti zahteva za prekidom II

- U slučaju ne-vektorskih sistema, prioritetizacija izvora prekida vrši se **softverski**
- Redosled obrade pristiglih zahteva za prekidom implicitno je određen redosledom "prozivke" periferijskih jedinica na početku izvršavanja prekidnog podprograma
- U ovakvim sistemima nepohodno je odrediti prioritet periferijskih jedinica pre nego što se odredi redosled "prozivke" kako bi se obezbedilo da periferijske jedinice sa "urgentnijim zahtevima" budu obrađene prve
- Isti koncept koristio bi se i u sistemima baziranim na prozivci
- Vektorski i auto-vektorski sistemi zahtevaju postojanje odgovarajuće hardverske podrške koja vrši arbitraciju (razrešavanje) prioriteta. U praksi postoje dva metoda arbitracije:
  - "Daisy Chain" arbitracija
  - Arbitracija bazirana na kontroleru prekida

“Daisy Chain” arbitracija I

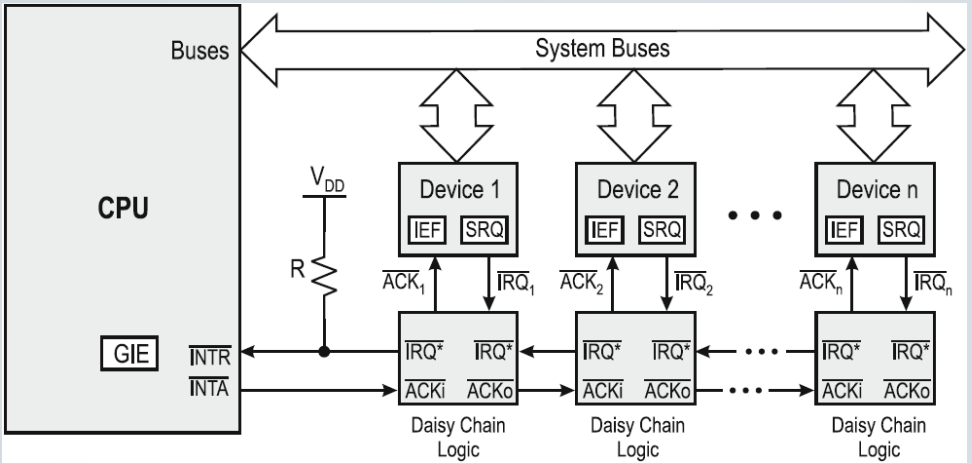
- Ovo je najjednostavniji metod za obezbeđivanje hardverske arbitracije prioriteta u embeded sistemu
- Pretpostavka je da sve periferijske jedinice koriste jednu, zajedničku, liniju za upućivanje zahteva za prekidom (INTR)
- Takođe sve periferijske jedinice povezane su na jednu, zajedničku, liniju potvrde prijema zahteva za prekidom (INTA)
- IRQ i ACK portovi svih periferijskih jedinica povezani su u jedan dugački lanac koji je na kraju povezan sa INTR i INTA portovima procesora
- Svaki čvor u lancu sadrži logiku koja omogućava da se svaki zahtev za prekidom prosledi procesoru, ali i da se limitira propagacija INTA signala samo do periferije sa najvećim nivoom prioriteta koja je generisala zahtev

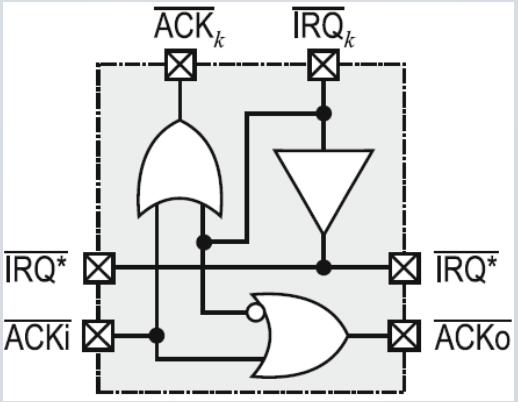




“Daisy Chain” arbitracija II

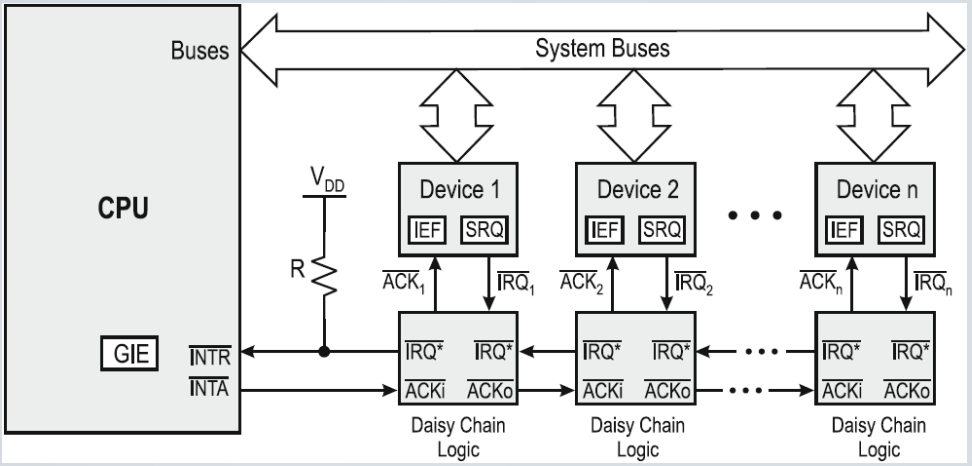
- Usled blokirajuće sposobnosti linka, prioriteti dodeljeni periferijskim jedinicama u direktnoj su vezi sa njihovom pozicijom u linku
- Periferije “bliže” procesoru imaju veći priorite od periferija koje su “udaljenije” od procesora
- U slučaju da dve periferijske jedinice, recimo periferije 1 i 2, istovremeno upute zahtev za prekidom, INTR linija će se aktivirati (obratite pažnju da su INTR i INTA linije aktivne na **NISKOM LOGIČKOM NIVOU**)
- Kao rezultat aktiviranja INTR linije procesor će aktivirati INTA liniju
- Međutim, INTA signal stići će samo do Periferije 1, jer aktivacija IRQ1 signala blokira propagaciju INTA signala dalje od Periferije 1 (vidi sliku dole) pa on ne može stići do Periferije 2

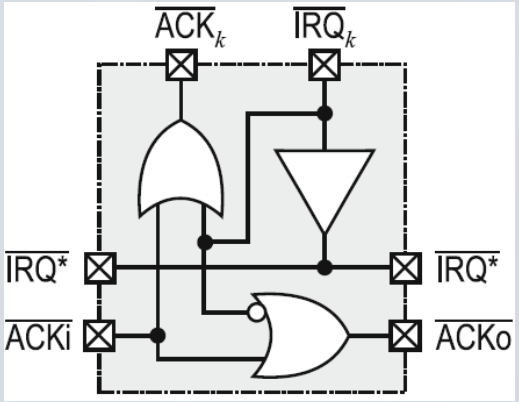




“Daisy Chain” arbitracija III

- Stoga će samo Periferija 1 proslediti svoj ID kod procesoru, koristeći sistemske magistrale
- Na osnovu prosleđenog ID koda, procesor će započeti obradu zahteva za prekidom generisanog od strane Periferije 1, izvršavajući njoj asocirani prekidni podprogram
- Nakon završetka obrade zahteva za prekidom Periferije 1, ona deaktivira svoju IRQ1 liniju, ali INTR signal je još uvek aktivan jer Periferija 2 još uvek generiše svoj zahtev za prekidom (IRQ2 linija je još uvek aktivna)
- Obzirom da je INTR port aktivan, procesor će ponovo aktivirati INTA signal koji će ovog puta stići do Periferije 2, koja će zatim poslati svoj ID kod ka procesoru, na taj način započinjući fazu obrade prekida Periferije 2





“Daisy Chain” arbitracija IV

- “Daisy Chain” mehanizam je vrlo jednostavan za implementaciju ali ima nekoliko nedostataka:

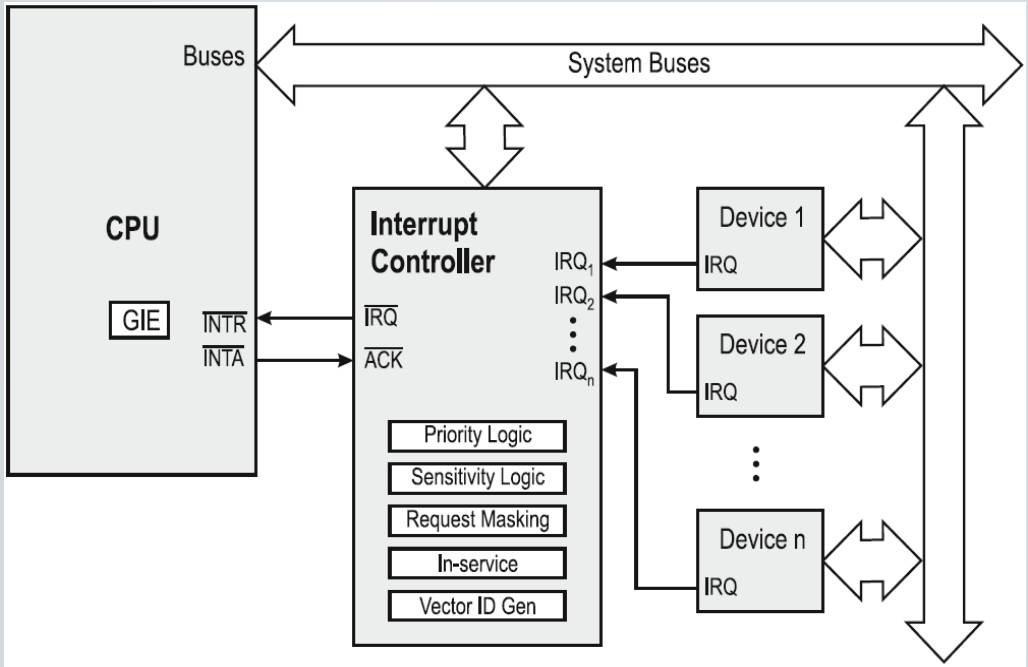
  - Prioriteti periferijskih jedinica su “ožičeni” (hardwired) i ne mogu se menjati tokom rada sistema

  - Periferije koje se nalaze “niže duž lanca” imaju duže vreme obrade prekida, jer je potrebno više vremena da se INTA signal propagira do njih

  - “Daisy Chain” mehanizam može da radi samo sa prekidima koji koriste nivo signala da iniciraju zahtev. U slučaju zahteva za prekidom koji koriste ivicu signala, dodatni hardver je neophodan za memorisanje svih pristiglih zahteva u sistemu kako ne bi došlo do gubitka nekog od njih

Arbitracija pomoću kontrolera prekida I

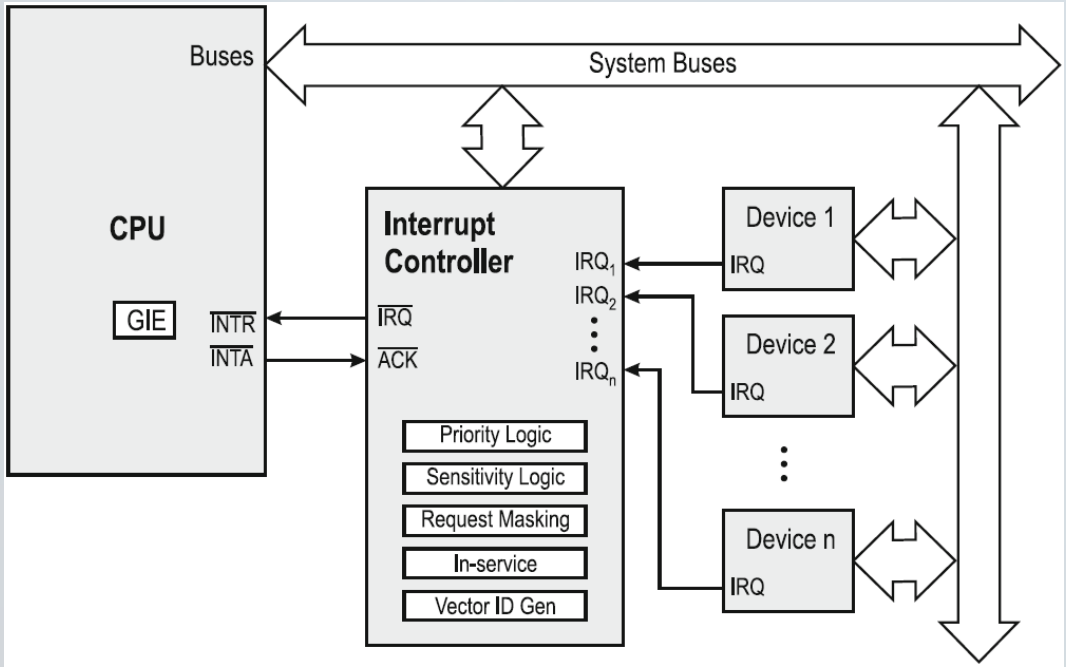
- Arbitracija pomoću kontrolera prekida zahteva postojanje posebnog hardverskog modula (kontrolera prekida) koji će prihvatati sve pristigle prekide i izvršiti odgovarajuću arbitraciju
- Kontroler prekida je programabilni arbiter, koji se može programirati od strane procesora tako da je moguće definisati redosled obrade (šemu obrade prekida) pristiglih zahteva za prekidom
- Kontroleri prekida se obavezno koriste u sistemima sa vektorskim prekidima jer pojednostavljuju dizajn periferijskih jedinica
- Kontroler prekida postavlja se između procesora i periferijskih jedinica koje mogu generisati zahteve za prekidom
- Pojedinačni zahtevi za prekidom se prihvataju u prekidnom kontroleru, koji ih zatim prosleđuje ka procesoru na osnovu definisane šeme prioriteta



Arbitracija pomoću kontrolera prekida II

- Kontroler prekida, pored obrade pristiglih zahteva za prekidom, obezbeđuje i niz drugih funkcija koje bi inače zahtevale dodatne hardverske i softverske resurse za njihovu implementaciju.

- Neke od dodatnih funkcija koje obezbeđuje kontroler prekida su:
  - **Slanje ID koda tokom INTA ciklusa** – nakon što dobije INTA zahtev od procesora kontroler, na osnovu konfigurisanog režima prioriteta, bira periferiju koju je potrebno opslužiti i šalje njen ID kod procesoru
  - **Mogućnost konfigurisanja načina signalizacije zahteva za prekidom** – za svaku periferijsku jedinicu moguće je izabrati način signalizacije: nivoom, ivicom (kao i kojom ivicom ili sa obe)
  - **Mogućnost definisanje šeme prioriteta** – ovo pruža mogućnost izmene šeme prioriteta u toku rada sistema kao odgovor na novonastale okolnosti
  - **Mogućnost maskiranja individualnih zahteva za prekidom** – na ovaj način moguće je zabraniti zahteve za prekidom pojedinih periferijskih jedinica



Arbitracija pomoću kontrolera prekida III

- Funkcije koje će obezbeđivati kontroler prekida zavise od sveukupne arhitekture sistema u kojem će se on koristiti
- U slučaju mikropocesora, programabilni kontroleri prekida se projektuju tako da odgovaraju arhitekturi i komunikacionim protokolima koje koristi ciljni mikroprocesor
- Rani sistemi posedovali su posebna integrisana kola, poput kontrolera prekida 8259A kompanije Intel koji je bio projektovan za korišćenje sa ranim familijama x86 kompatibilnih procesora
- Savremeni mikroprocesori po pravilu poseduju integrisane kontrolere prekida koji se nalaze na istom čipu sa procesorskim jezgrom ili u nekom od sistemskih kontrolera

Arbitracija pomoću kontrolera prekida IV

- U slučaju mikrokontrolera, obrada zahteva za prekidom obično je poverena posebnom modulu koji se gotovo uvek nalazi na istom integrisanom kolu sa procesorom i ostalim modulima koji čine odgovarajući mikrokontroler

- Zbog toga je jedan od prvih koraka prilikom započinjanja razvoja embeded sistema koji je baziran na odabranom mikrokontroleru, analiza mogućnosti i načina programiranja pridruženog kontrolera prekida

- Prvi korak je da se konsultuje dokumentacija proizvođača mikrokontrolera

Dizajn softvera za rad sa prekidima

Osnove razvoja softvera za rad sa prekidima

- Da bi se prekidi mogli uspešno koristiti u nekoj aplikaciji potrebno je rešiti sledeća četiri problema:

  - Izvršiti alokaciju i organizaciju steka
  - Pripremiti sistemsku vektor tabelu
  - Razviti prekidne potprograme za svaki od mogućih izvora prekida
  - Dozvoliti pojavu odgovarajućih zahteva za prekidom

Alokacija steka

- Pravilna alokacija steka je od fundamentalnog značaja sa pravilan rad sistema baziranog na prekidima
- Stek se koristi za smeštanje tekućih vrednosti programskog brojača (PC), statusnog registra (SR) i niza drugih registara nakon prihvatanja zahteva za prekidom
- U slučaju asemblera, alokacija steka mora se eksplicitno izvršiti prilikom pisanja programa, u slučaju C-a ovaj posao će odraditi kompajler
- Prilikom alokacije steka mora se pravilno proceniti njegova potrebna veličina, koja će biti dovoljna da opsluži potrebe prekidnih potprograma, funkcijskih poziva, privremenog smeštaja podataka i prosleđivanja parametara
- U slučaju rekurzivnih i ugnježdenih funkcijskih poziva dubina rekurzije mora se strogo kontrolisati kako ne bi došlo do prekoračenja opsega steka (stack overflow)

Priprema sistemske vektor tabele

- Procesor koristi sadržaj sistemske vektor tabele prilikom određivanja početne adrese prekidnog potprograma koji je potrebno izvršiti prilikom obrade zahteva za prekidom

- U slučaju da se sadržaj ove tabele može definisati i modifikovati od strane programera, prilikom inicijalizacije sistema potrebno je izvršiti inicijalizaciju sistemske vektor tabele kako bi se svakom aktivnom izvoru prekida u sistemu pridružio odgovarajući prekidni potprogram koji će ga servisirati

Razvoj prekidnih potprograma I

- Prekidni potprogrami, kao i svaki drugi vid programa moraju da poštuju pravila dobre programerske prakse

- Međutim, zbog toga što prekidni potprogrami mogu biti "pozvani" u bilo kom trenutku prilikom izvršavanja glavnog programa, moraju se poštovati i neka dodatna pravila:
  - **Prekidni potprogrami bi trebali da budu što brži i što kraći**

    U većini slučajeva, dok se izvršava jedan prekidni potprogram nije moguće primati nove zahteve za prekidom.

    Ukoliko se u sistemu pojavi neki događaj koji zahteva hitnu akciju, u slučaju izvršavanja dugačkog prekidnog potprograma to neće biti moguće što može rezultovati u neželjenim posledicama po rad čitavog sistema ili će usporiti vreme reakcije sistema na neke eksterne događaje.

    Da bi se ovo postiglo, u prekidnim potprogramima **treba izbegavati dugačke postupke izračunavanja, petlje i pozive funkcija**. Ukoliko su ovakve stvari neophodne da bi se obradio zahtev za prekidom treba ih realizovati unutar glavnog programa.

Razvoj prekidnih potprograma II

- **Prekidni potprogram ne sme da izmeni sadržaj unutrašnjih registara procesora**
  Nakon što se završi izvršavanje prekidnog podprograma, sadržaj svih unutrašnjih registara procesora mora biti jednak sadržaju koji je bio zatečen prilikom primanja zahteva za prekidom

  Ovo pravilo je od posebnog značaja ukoliko se softver razvija korišćenjem asemblerskog jezika. U slučaju viših programskih jezika kompajler vodi računa o ovome.

  Da bi se ispunio ovaj zahtev, na početku svakog prekidnog potprograma sadržaj svakog unutrašnjeg registra procesora mora se smestiti na stek

  Neposredno pre povratka iz svakog prekidnog potprograma sadržaj svakog unutrašnjeg registra mora se postaviti na staru vrednost, koristeći vrednosti su smeštene na steku

Razvoj prekidnih podprograma III

- **Zabranjeno je prosleđivanje parametara i vraćanje povratnih vrednosti**

  Obzirom da je poziv prekidnog potprograma nepredvidiv, ne postoji siguran način da se prekidnom potprogramu proslede parametri ili da on vrati povratnu vrednost preko nekog od unutrašnjih registara ili steka

  Ukoliko je ovo neophodno, moraju se koristiti globalne promenljive

- **Prekidni potprogram mora se završiti korišćenjem posebne instrukcije za povratak iz prekidnog potprograma (RETI)**

  Iako ovaj zahtev zvuči logično, česta greška je da se za povratak iz prekidnog potprograma koristi instrukcija za povratak iz običnog potprograma (RET) umesto specijalizovane instrukcije RETI

  Ova greška neće biti detektovana od strane asemblera, jer je RET instrukcija takođe legalna instrukcija, ali će njenog neadekvatno korišćenje izazvati gubitka integriteta steka i unutrašnjih registara procesora i narušiti očekivano ponašanje sistema

  Kako bi se olakšao razvoj aplikacije i otklanjanje grešaka, poželjno je da svaki prekidni potprogram ima samo jednu izlaznu tačku

Dozvola pojave zahteva za prekidom

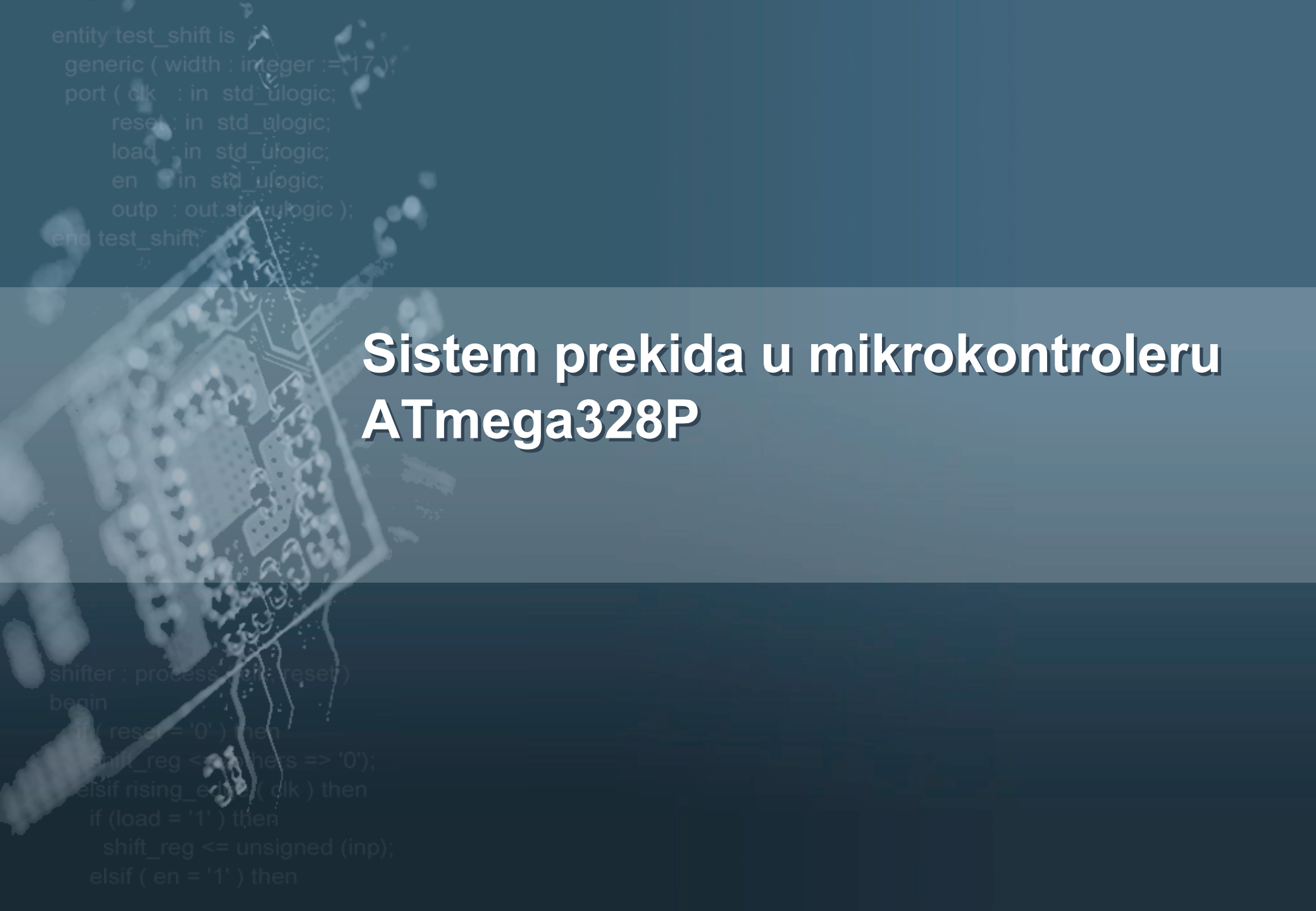
- Da bi se prekidi mogli obrađivati, potrebno ih je dozvoliti

- Ovo se obezbeđuje postavljanjem odgovarajućih vrednosti bitovima za dozvolu prekida na različitim nivoima unutar embeded sistema (unutar procesora, unutar kontrolera prekida, unutar periferijskih jedinica)

- Minimalno, potrebno je dozvoliti prekide barem na dva mesta:

  - Unutar procesora, postavljanjem bita za globalnu dozvolu prekida

  - Unutar svake od periferijskih jedinica, postavljanjem odgovarajućeg bita koji će omogućiti generisanje zahteva za prekidom



Sistem prekida u mikrokontroleru ATmega328P

Sistem prekida u mikrokontroleru ATmega328P I

- Mikrokontroler Atmega328P ima **25 vektora prekida** i **reset vektor** (na adresi 0x0000 u programskoj memoriji)

- Uključivanje biblioteke za rad sa prekidima:

```
#include <avr/interrupt.h>
```

- Deklaracija prekidne rutine:

```
ISR(vektor_prekida)
{
    //telo prekidne rutine...
}
```

- Bit I statusnog registra SREG se setuje korišćenjem makroa **sei()**, a resetuje korišćenjem makroa **cli()**
- Postaviti odgovarajući bit u konfiguracionom registru za dozvolu prekida

Sistem prekida u mikrokontroleru ATmega328P II

Vector No.	Program Address	Source	Interrupt Definition
1	0x0000	RESET	External pin, power-on reset, brown-out reset and watchdog system reset
2	0x002	INT0	External interrupt request 0
3	0x0004	INT1	External interrupt request 1
4	0x0006	PCINT0	Pin change interrupt request 0
5	0x0008	PCINT1	Pin change interrupt request 1
6	0x000A	PCINT2	Pin change interrupt request 2
7	0x000C	WDT	Watchdog time-out interrupt
8	0x000E	TIMER2 COMPA	Timer/Counter2 compare match A
9	0x0010	TIMER2 COMPB	Timer/Counter2 compare match B
10	0x0012	TIMER2 OVF	Timer/Counter2 overflow
11	0x0014	TIMER1 CAPT	Timer/Counter1 capture event
12	0x0016	TIMER1 COMPA	Timer/Counter1 compare match A
13	0x0018	TIMER1 COMPB	Timer/Counter1 compare match B
14	0x001A	TIMER1 OVF	Timer/Counter1 overflow
15	0x001C	TIMER0 COMPA	Timer/Counter0 compare match A
16	0x001E	TIMER0 COMPB	Timer/Counter0 compare match B
17	0x0020	TIMER0 OVF	Timer/Counter0 overflow
18	0x0022	SPI, STC	SPI serial transfer complete
19	0x0024	USART, RX	USART Rx complete
20	0x0026	USART, UDRE	USART, data register empty
21	0x0028	USART, TX	USART, Tx complete
22	0x002A	ADC	ADC conversion complete
23	0x002C	EE READY	EEPROM ready
24	0x002E	ANALOG COMP	Analog comparator
25	0x0030	TWI	2-wire serial interface
26	0x0032	SPM READY	Store program memory ready

- **25 vektora prekida** i **reset vektor** (na adresi 0x0000 u programskoj memoriji)
- Svaki vektor prekida ima dužinu od dve instrukcione reči
- Tabela reset vektora i vektora prekida
- Tabela vektora prekida predefinisana da pokazuje na IR (interrupt routines) sa predefinisanim imenima

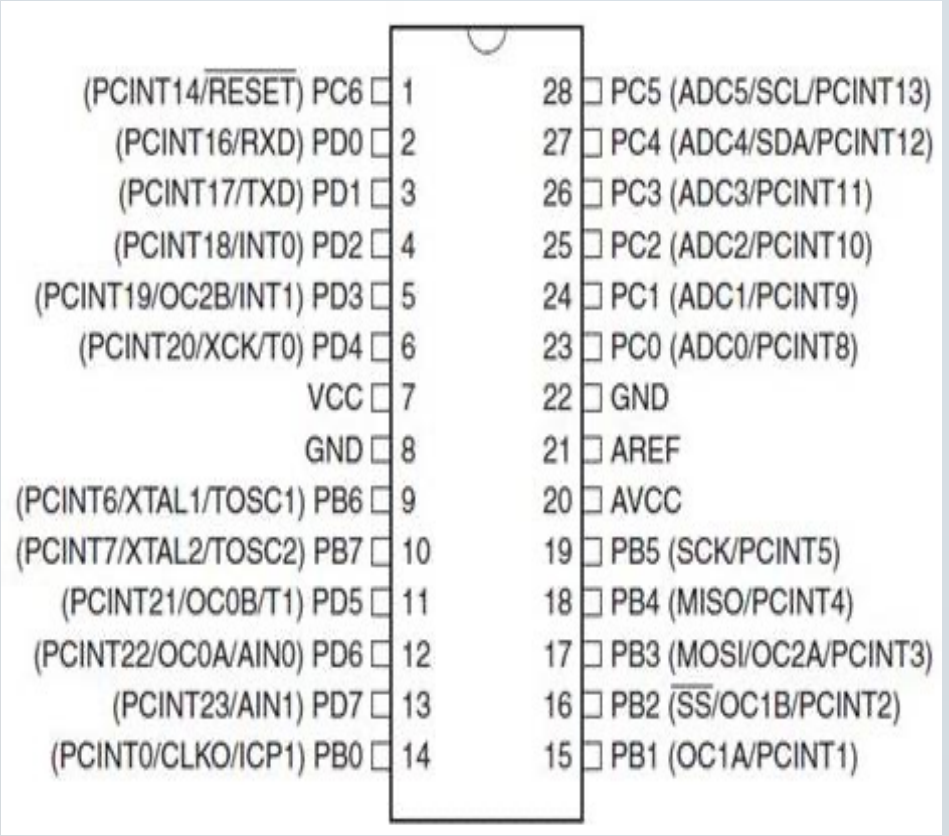
ww1.microchip.com/downloads/en/DeviceDoc/Atmel-7810-Automotive-Microcontrollers-ATmega328P_Datasheet.pdf

Sistem prekida u mikrokontroleru ATmega328P II

- Mikrokontroler ATmega328P podržava **spoljašnje prekide** koji se mogu pojedinačno dozvoliti postavljanjem bita INT1 (pin D3) i INT0 (pin D3) u okviru **EIMSK** (*External Interrupt Mask Register*) registra.

- INT0 i INT1 prekidi mogu biti trigerovani niskim logičkim nivoom, promenom logičkog nivoa (rastuća ili opadajuća ivica)

- Navedena podešavanje se vrše korišćenjem **EICRA** (**External Interrupt Control Register A**) Registra.



Bit	7	6	5	4	3	2	1	0	
(0x69)	–	–	–	–	ISC11	ISC10	ISC01	ISC00	EICRA
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

ww1.microchip.com/downloads/en/DeviceDoc/Atmel-7810-Automotive-Microcontrollers-ATmega328P_Datasheet.pdf

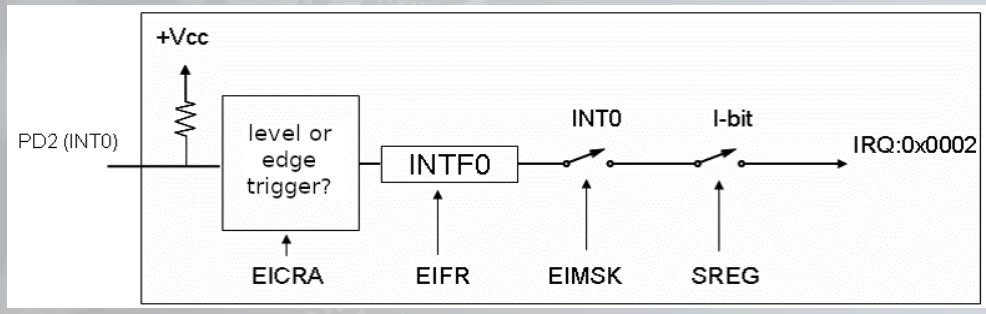
Sistem prekida u mikrokontroleru ATmega328P II

Table 12-1. Interrupt 1 Sense Control

ISC11	ISC10	Description
0	0	The low level of INT1 generates an interrupt request.
0	1	Any logical change on INT1 generates an interrupt request.
1	0	The falling edge of INT1 generates an interrupt request.
1	1	The rising edge of INT1 generates an interrupt request.

Table 12-2. Interrupt 0 Sense Control

ISC01	ISC00	Description
0	0	The low level of INT0 generates an interrupt request.
0	1	Any logical change on INT0 generates an interrupt request.
1	0	The falling edge of INT0 generates an interrupt request.
1	1	The rising edge of INT0 generates an interrupt request.



Sistem prekida u mikrokontroleru ATmega328P IV

- Svi prekidi se pojedinačno postavljaju preko individualnih bitova dozvole upisom logičke 1, kao I dozvolom prekida preko **Global Interrupt Enable (I)** bit-a u okviru statusnog registra (SREG)

Bit	7	6	5	4	3	2	1	0	
0x3F (0x5F)	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- Pojedinačna dozvola postavljanja bita INT1 i INT0 u okviru **EIMSK** (*External Interrupt Mask Register*) registra.

Bit	7	6	5	4	3	2	1	0	
0x1D (0x3D)	–	–	–	–	–	–	INT1	INT0	EIMSK
Read/Write	R	R	R	R	R	R	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

ww1.microchip.com/downloads/en/DeviceDoc/Atmel-7810-Automotive-Microcontrollers-ATmega328P_Datasheet.pdf

Sistem prekida mikrokontrolera ATmega328P – primer-

- Kada promena ivice ili logičkog nivoa na INT0 pinu trigeruje zahtev za prekidom, **INF0** se setuje na jedinicu. Ako su I-bit u SREG registru i INT0 bit u EIMSK registru setovani (jedinica), MCU će skočiti na odgovarajući vektor prekida.

- Fleg se briše kada se završi izvršavanje prekidne rutine.

- **EIFR** (*External Interrupt Flag Registar) registar*

Bit	7	6	5	4	3	2	1	0	
0x1C (0x3C)	–	–	–	–	–	–	INTF1	INTF0	EIFR
Read/Write	R	R	R	R	R	R	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- Alternativno, flag se može obrisati upisom logičke jedinice. Fleg se uvek briše kada se INT0 konfiguriše da bude osetljiv na nivo (level interrup)

ww1.microchip.com/downloads/en/DeviceDoc/Atmel-7810-Automotive-Microcontrollers-ATmega328P_Datasheet.pdf

Spoljašnji prekidi mikrokontrolera ATmega328P

- Kada je dozvoljen INT0 ili INT1 prekid i kada su konfigurisani tako da su osetljivi na nizak nivo signala spoljašnji prekidi će biti trigerovani sve dok:

1. Logički nivo pina se održava na niskom nivou

   Nizak nivo se održava dok se ne završi trenutno opsluživanje prekida

2. Nivo se održava dovoljno dugo niskim dok se MCU ne probudi (uz pretpostavku da je bio u sleep modu). Prekidi na niskom nivou mogu da se koriste za povratak iz svih sleep modova.

- Kada su INT0 ili INT1 prekid dozvoljeni i kada su konfigurisani tako da su osetljivi na ivicu signala ili promenu logičkog nivoa (toggle), prekidi će biti trigerovani sve dok je:

1. I/O clock prisutan- što implicira da se ovi prekidi ne mogu koristiti za “buđenje” iz sleep moda osim za idle mod.
2. Puls traje duže od perioda I/O clock-a. Kraći pulsevi ne mogu sa sigurnošću da generišu prekid.

PCINT prekidi mikrokontrolera ATmega328P

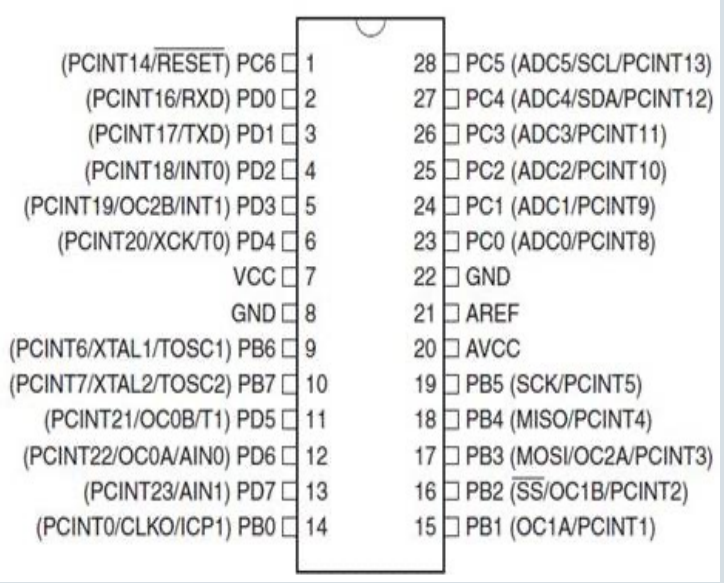
- **PCINT- Pin Change Interrupts**
- **Prekidi usled promene na pinu**

- Dodatno pored dva spoljašnja prekida, 23 pina mogu biti programirana da trigeruju prekid ako je došlo do promene stanja na pinovima.

- 23 pina su podeljena u **3 grupe** (PCI 2:0) koje odgovaraju GPIO portovima B, C i D

- Svakoj grupi je dodeljen jedan prekidni flag **PCIF (Pin Change Interrupt Flag)** bit (2:0)

- **PCIF** će biti setovan ako je prekid dozvoljen i ako je bilo koji pin koji je pripada datoj grupi promenio stanje.



Port B Group	PCINT7 (PB7) ⇒ PCINT0 (PB0)
Port C Group	PCINT14 (PC6) ⇒ PCINT8 (PC0)
Port D Group	PCINT23 (PD7) ⇒ PCINT16 (PD0)

Bit	7	6	5	4	3	2	1	0	
0x1B (0x3B)	–	–	–	–	–	PCIF2	PCIF1	PCIF0	PCIFR
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

ww1.microchip.com/downloads/en/DeviceDoc/Atmel-7810-Automotive-Microcontrollers-ATmega328P_Datasheet.pdf

PCINT prekidi mikrokontrolera ATmega328P

- **PCICR-Pin Change Interrupt Control Register**

Bit	7	6	5	4	3	2	1	0	
(0x68)	–	–	–	–	–	PCIE2	PCIE1	PCIE0	PCICR
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **PCIE2**- kada je **PCIE2 bit setovan** (postavljen na 1) i **I-bit statusnog registra** (SREG) setovan (1), **PCI** (pin change interrupt) **2** je dozvoljen, svaka promena na bilo kom dozvoljenom PCINT23..16 pinu će dovesti do prekida. Odgovarajući prekid koji pripada zahtevu za prekid na osnovu promene pina (pin change interrupt request) se izvršava iz PCI2 prekidnog vektora. PCINT23..16 pinovi se individualno dozvoljavaju preko PCMSK2 registra.

- **PCIE1**- kada je PCIE1 bit setovan (postavljen na 1) i I-bit statusnog registra (SREG) setovan (1), PCI 1 je dozvoljen, svaka promena na bilo kom dozvoljenom PCINT14..8 pinu će dovesti do prekida. Odgovarajući prekid koji pripada zahtevu za prekid na osnovu promene pina (pin change interrupt request) se izvršava iz PCI1 prekidnog vektora. PCINT14..8 pinovi se individualno dozvoljavaju preko PCMSK1 registra.

- **PCIE0**- kada je PCIE0 bit setovan (postavljen na 1) i I-bit statusnog registra (SREG) setovan (1), PCI 0 je dozvoljen, Svaka promena na bilo kom dozvoljenom PCINT7..0 pinu će dovesti do prekida. Odgovarajući prekid koji pripada zahtevu za prekid na osnovu promene pina (pin change interrupt request) se izvršava iz PCI0 prekidnog vektora. PCINT7..0 pinovi se individualno dozvoljavaju preko PCMSK0 registra.

ww1.microchip.com/downloads/en/DeviceDoc/Atmel-7810-Automotive-Microcontrollers-ATmega328P_Datasheet.pdf

PCINT prekidi mikrokontrolera ATmega328P

- **PCIFR-Pin Change Interrupt Flag Register**

Bit	7	6	5	4	3	2	1	0	
0x1B (0x3B)	–	–	–	–	–	PCIF2	PCIF1	PCIF0	PCIFR
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- 7..3 rezervisani biti, biti koji se ne koriste za Atmel ATmega328P i biće očitani kao vrednost 0.
- **PCIF2** – kada nastupi logička promena na bilo kom od **PCINT23..16** pin trigeruje zahtev za prekidom, PCIF2 se setuje (1). Ako su **I-bit SREG** i **PCIE2** bit u okviru **PCICR** setovani (1), MCU će skočiti na izvršavanje odgovarajućeg prekidnog vektora. Fleg se briše kada je završena prekidna rutina. Alternativno, fleg se može obrisati upisom logične 0.
- **PCIF1** – kada nastupi logička promena na bilo kom od PCINT14..8 pin trigeruje zahtev za prekidom, PCIF1 se setuje (1). Ako su I-bit SREG i PCIE1 bit u okviru PCICR setovani (1), MCU će skočiti na izvršavanje odgovarajućeg prekidnog vektora. Fleg se briše kada je završena prekidna rutina. Alternativno, fleg se može obrisati upisom logične 0.
- **PCIF0** – kada nastupi logička promena na bilo kom od PCINT7..9 pin trigeruje zahtev za prekidom, PCIF0 se setuje (1). Ako su I-bit SREG i PCIE0 bit u okviru PCICR setovani (1), MCU će skočiti na izvršavanje odgovarajućeg prekidnog vektora. Fleg se briše kada je završena prekidna rutina. Alternativno, fleg se može obrisati upisom logične 0.

ww1.microchip.com/downloads/en/DeviceDoc/Atmel-7810-Automotive-Microcontrollers-ATmega328P_Datasheet.pdf

PCINT prekidi mikrokontrolera ATmega328P

- **PCMSK2- Pin Change Mask Register 2**

Bit	7	6	5	4	3	2	1	0	
(0x6D)	PCINT23	PCINT22	PCINT21	PCINT20	PCINT19	PCINT18	PCINT17	PCINT16	PCMSK2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- Bit 7..0-PCINT 23..16: Pin Change Enable Mask 23:16

Svaki PCINT23..16 bit selekuje da li je PCI dozvoljen sa odgovarajućeg I/O pina. Ako je **PCINT23..16 setovan** i **PCIE2** bit u okviru PCICR setovan, PCI je dozvoljen sa odgovarajućeg I/O pina. Ako je PCINT23..16 obrisan, PCI sa odgovarajućeg I/O pina je zabranjen.

- **PCMSK1- Pin Change Mask Register 1**

Bit	7	6	5	4	3	2	1	0	
(0x6C)	–	PCINT14	PCINT13	PCINT12	PCINT11	PCINT10	PCINT9	PCINT8	PCMSK1
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- Bit 7– Res: Rezervisani Bit
- Bit 6..0-PCINT 14..8: Pin Change Enable Mask 7..0

Svaki PCINT14..8 bit selektuje da li je PCI dozvoljen sa odgovarajućeg I/O pina. Ako je PCINT14..8 setovan i PCIE1 bit u okviru PCICR setovan, PCI je dozvoljen sa odgovarajućeg I/O pina. Ako je PCINT14..8 obrisan, PCI sa odgovarajućeg I/O pina je zabranjen.

ww1.microchip.com/downloads/en/DeviceDoc/Atmel-7810-Automotive-Microcontrollers-ATmega328P_Datasheet.pdf

PCINT prekidi mikrokontrolera ATmega328P

- **PCMSK0- Pin Change Mask Register 0**

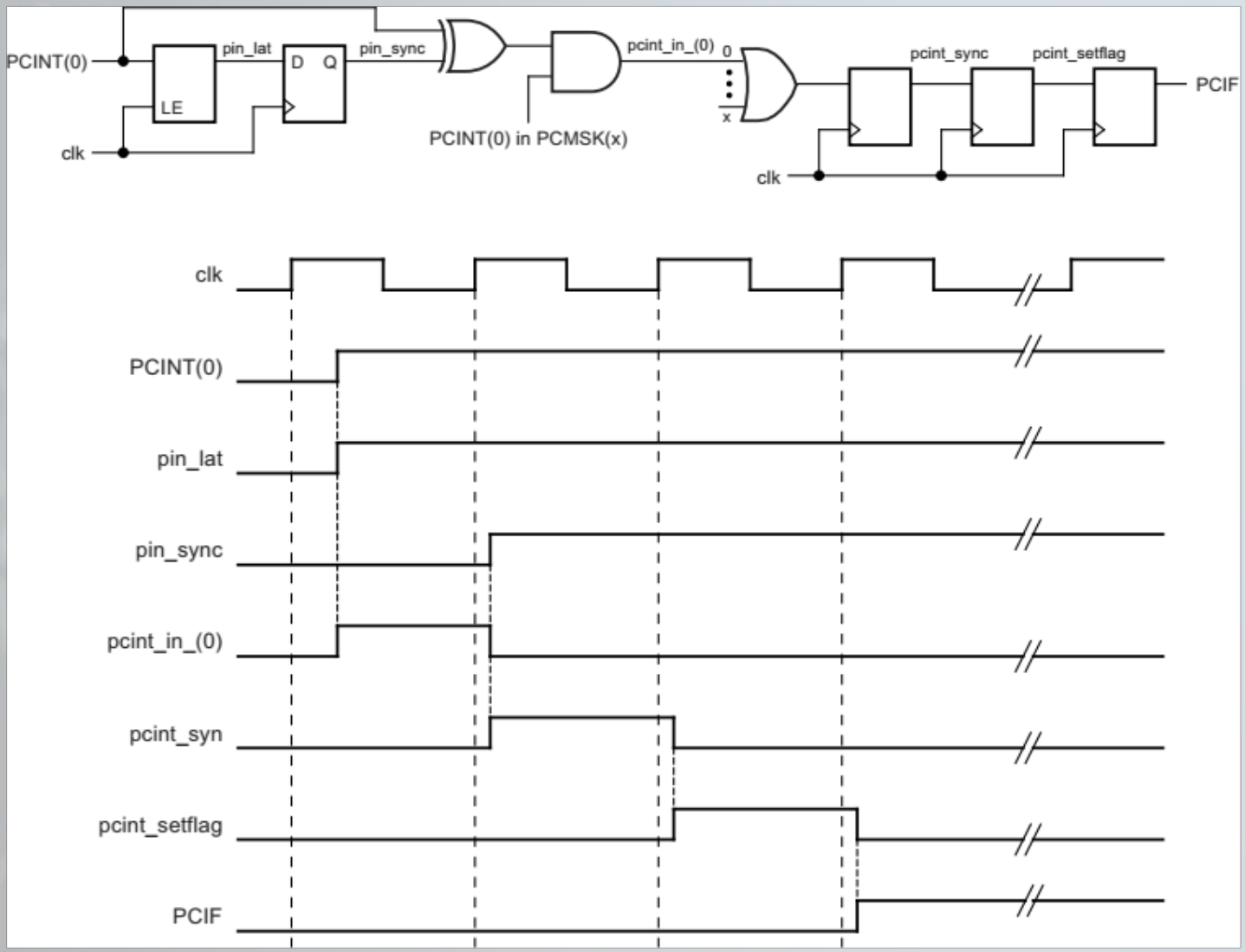
Bit	7	6	5	4	3	2	1	0	
(0x6B)	PCINT7	PCINT6	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0	PCMSK0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- Bit7..0-PCINT 7..0: Pin Change Enable Mask 7..0

Svaki PCINT7..0 bit selektuje da li je PCI dozvoljen sa odgovarajućeg I/O pina. Ako je PCINT7..0 setovan i PCIE0 bit u okviru PCICR setovan, PCI je dozvoljen sa odgovarajućeg I/O pina. Ako je PCINT7..0 obrisan, pci sa odgovarajućeg I/O pina je zabranjen.

ww1.microchip.com/downloads/en/DeviceDoc/Atmel-7810-Automotive-Microcontrollers-ATmega328P_Datasheet.pdf

PCINT prekidi mikrokontrolera ATmega328p



ww1.microchip.com/downloads/en/DeviceDoc/Atmel-7810-Automotive-Microcontrollers-ATmega328P_Datasheet.pdf

Teorijska pitanja P7

Predavanja 7- Sistem prekida

Spisak teorijskih pitanja uz Predavanja 7

1. Navesti osnovne komponente koje su neophodne za implementaciju sistema prekida u emebeded sistemima.

2. Načini signalizacije zahteva za prekidom. Ukratko objasniti svaki od mogućih pristupa.

3. Maskirajući i nemaskirajući prekidi.

4. Dozvola/zabrana zahteva za prekidom unutar periferijskih jedinica.

5. Prozivka u sistemu prekida.

6. Sekvenca obrade zahteva za prekidom.

7. Ne-vektorski prekidi.

8. Vektorski prekidi.

9. Auto-vektorski prekidi.

Predavanja 7- Sistem prekida

Spisak teorijskih pitanja uz Predavanja 7

10. Prioriteti zahteva za prekidom.

11. Daisy-Chain arbitracija.

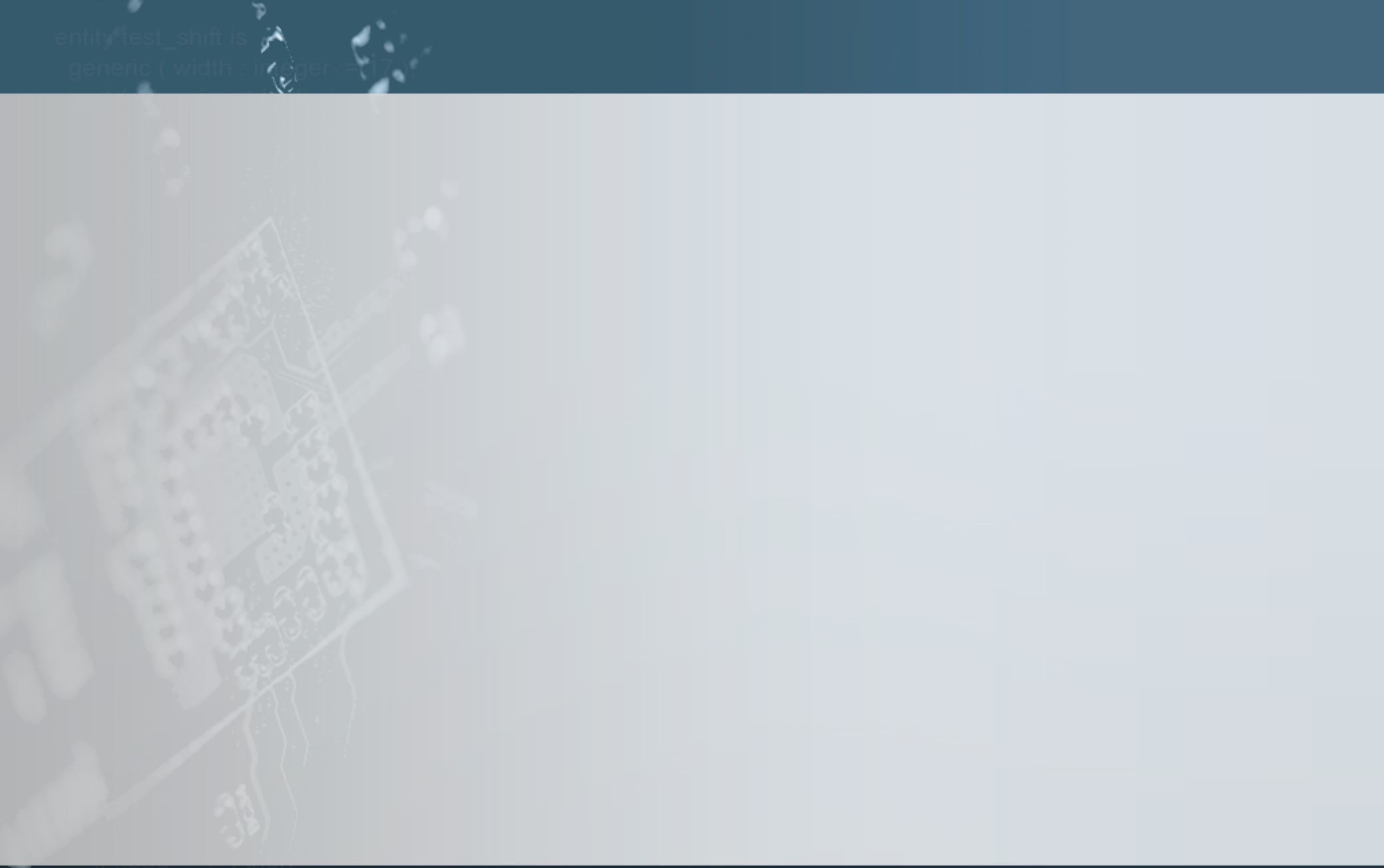
12. Arbitracija pomoću kontrolera prekida.

13. Dizajn softvera za rad sa prekidima. Navesti i ukratko objasniti najcešce probleme koji se moraju rešiti.

14. Sistem prekida u mikrokontroleru ATmega328P. Prioritet prekida. Opisati ukratko postupak koji omogućava rada sa prekidima.

15. Spoljašnji prekidi mikrokontrolera ATmega328P.

16. Prekidi usled promene na pinu mikrokontrolera ATmega328P.


entity test_shift is
generic (width : integer :=
shift_reg <= unsigned (inp);
elsif (en = '1') then