

Mikroprocesorska elektronika

Povezivanje periferija

8 POVEZIVANJE PERIFERIJA

Radi povezivanja sa periferijama, mikrokontroler ATmega328 ima tri porta (B, C i D). Ovi portovi se osim kao portovi opšte namene mogu na osnovu alternativnih funkcija koristiti i kao: analogni ulazi (port C), neki pinovi porta B i D su sa PWM-om, pojedini pinovi mogu da budu ulazi za spoljašnje prekide ili brojački/tajmerski ulazi, linije za serijsku komunikaciju itd. Prikaz pinova mikrokontrolera i alternativnih funkcija prikazan je na slici 8.1.



Slika 8.1 Pinovi ATmega328 i Arduino funkcije tih pinova

Spisak alternativnih funkcije pinova dat je u tabeli 8.1.

Uzimajući u obzir način povezivanja periferija možemo reći da postoje:

1. direktno povezivanje,
2. baferovano povezivanje,
3. multipleksno povezivanje,
4. memorijski mapirano povezivanje,
5. povezivanje uz konverzije (npr. serijsko-paraleln, paralelno-serijska, analognog-digitalna i dr.), i
6. povezivanje na bazi standardnih protokola (npr. I2C, SPI i dr.).

8.1 Direktno povezivanje

Direktno povezivanje periferija je najjednostavnije i ponekad je moguće ukoliko je mikrokontrolerski sistem koji projektujemo takav da možemo periferije direktno povezati. Glavna mana direktnog povezivanja je što je tako moguće povezati samo ograničen broj periferija. Periferni uređaji mogu biti npr. svetleće diode (LED), sedmosegmentni LED displeji, prikidači, memorije, LCD, drajverska kola za motore, razni digitalni senzori itd. Mi ćemo najčešće raditi sa sledećim periferijama: svetlećim diodama, displejima, tasterima i prekidačima. Međutim, iako će biti obrađen samo podskup mogućih periferija, nikako se ne gubi na opštosti u radu sa periferijama.

Tabela 8.1 Alternativne funkcije portova

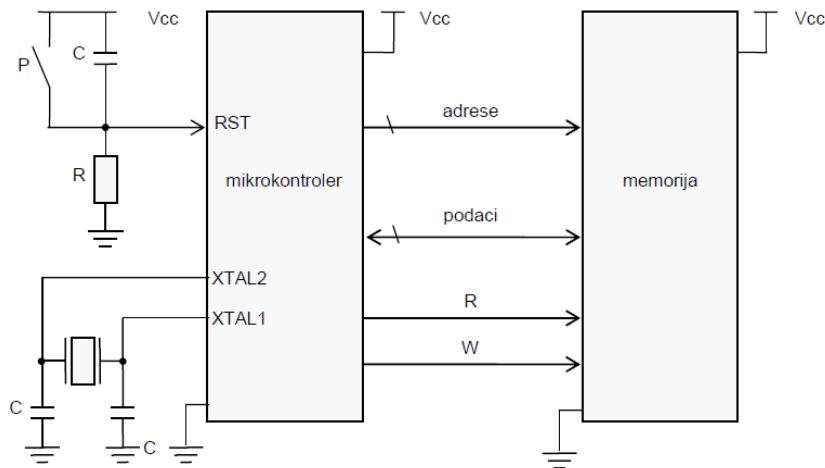
Port Pin	Alternate Functions
PB7	XTAL2 (Chip Clock Oscillator pin 2) TOSC2 (Timer Oscillator pin 2) PCINT7 (Pin Change Interrupt 7)
PB6	XTAL1 (Chip Clock Oscillator pin 1 or External clock input) TOSC1 (Timer Oscillator pin 1) PCINT6 (Pin Change Interrupt 6)
PB5	SCK (SPI Bus Master clock Input) PCINT5 (Pin Change Interrupt 5)
PB4	MISO (SPI Bus Master Input/Slave Output) PCINT4 (Pin Change Interrupt 4)
PB3	MOSI (SPI Bus Master Output/Slave Input) OC2A (Timer/Counter2 Output Compare Match A Output) PCINT3 (Pin Change Interrupt 3)
PB2	SS (SPI Bus Master Slave select) OC1B (Timer/Counter1 Output Compare Match B Output) PCINT2 (Pin Change Interrupt 2)
PB1	OC1A (Timer/Counter1 Output Compare Match A Output) PCINT1 (Pin Change Interrupt 1)
PB0	ICP1 (Timer/Counter1 Input Capture Input) CLKO (Divided System Clock Output) PCINT0 (Pin Change Interrupt 0)

Port Pin	Alternate Function
PC6	RESET (Reset pin) PCINT14 (Pin Change Interrupt 14)
PC5	ADC5 (ADC Input Channel 5) SCL (2-wire Serial Bus Clock Line) PCINT13 (Pin Change Interrupt 13)
PC4	ADC4 (ADC Input Channel 4) SDA (2-wire Serial Bus Data Input/Output Line) PCINT12 (Pin Change Interrupt 12)
PC3	ADC3 (ADC Input Channel 3) PCINT11 (Pin Change Interrupt 11)
PC2	ADC2 (ADC Input Channel 2) PCINT10 (Pin Change Interrupt 10)
PC1	ADC1 (ADC Input Channel 1) PCINT9 (Pin Change Interrupt 9)
PC0	ADC0 (ADC Input Channel 0) PCINT8 (Pin Change Interrupt 8)

Port Pin	Alternate Function
PD7	AIN1 (Analog Comparator Negative Input) PCINT23 (Pin Change Interrupt 23)
PD6	AIN0 (Analog Comparator Positive Input) OC0A (Timer/Counter0 Output Compare Match A Output) PCINT22 (Pin Change Interrupt 22)
PD5	T1 (Timer/Counter 1 External Counter Input) OC0B (Timer/Counter0 Output Compare Match B Output) PCINT21 (Pin Change Interrupt 21)
PD4	XCK (USART External Clock Input/Output) T0 (Timer/Counter 0 External Counter Input) PCINT20 (Pin Change Interrupt 20)
PD3	INT1 (External Interrupt 1 Input) OC2B (Timer/Counter2 Output Compare Match B Output) PCINT19 (Pin Change Interrupt 19)
PD2	INT0 (External Interrupt 0 Input) PCINT18 (Pin Change Interrupt 18)
PD1	TXD (USART Output Pin) PCINT17 (Pin Change Interrupt 17)
PD0	RXD (USART Input Pin) PCINT16 (Pin Change Interrupt 16)

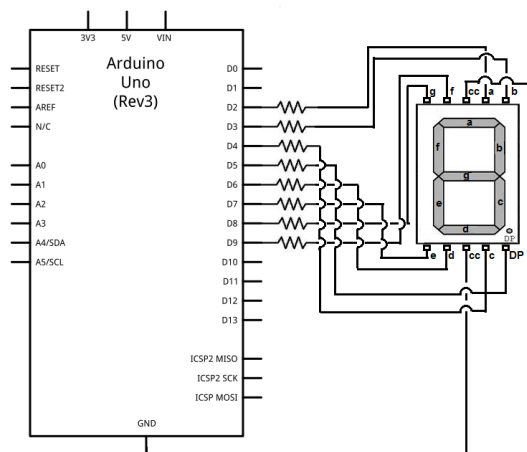
Na slici 8.2 je prikazan sistem kod koga je jedna memorija direktno povezana sa mikrokontrolerom. Ovo je moguće ukoliko imamo posebnu spoljašnju magistralu podataka i posebnu spoljašnju adresnu magistralu. Ovo je kod nekih mikrokontrolera slučaj, ali

relativno retko jer zahteva značajan broj dodatnih pinova na kućištu što poskupljuje cenu mikrokontrolera. Kada kontoleri nemaju posebne magistrale za povezivanje sa spoljašnjim periferijama, što je najčešći slučaj, tada je potrebno baferovano povezivanje što će biti objašnjeno u narednom poglavlju.



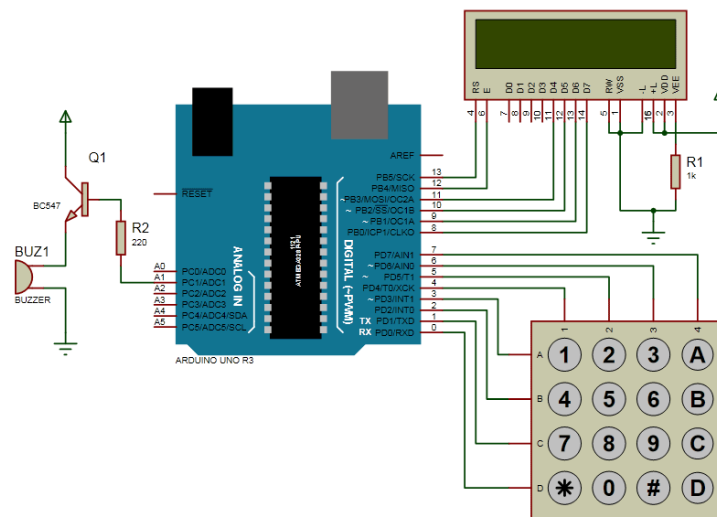
Slika 8.2 Direktno povezivanje memorije i mikrokontrolera

Drugi primer direktnog povezivanja je dat na slici 8.3. Ovde je povezan jedan 7-segmentni displej. Očigledno je da je većina pinova ovim iskorišćena.



Slika 8.3 Direktno povezivanje na port mikrokontrolera

Primer mikrokontrolerskog sistema koji realizuje funkciju alarmnog sata, a koji kombinuje direktno povezivanje periferija je prikazan na slici 8.4.



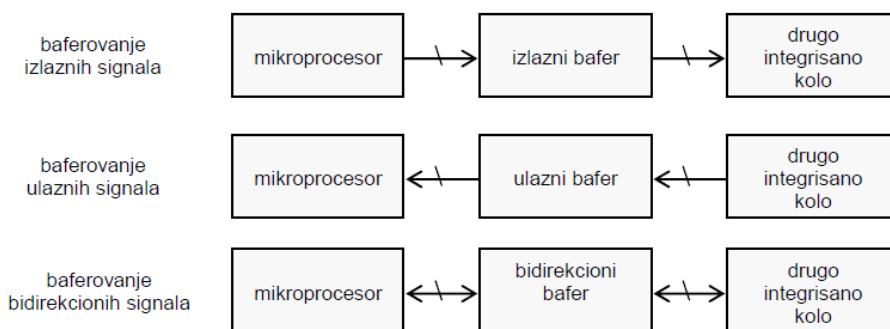
Slika 8.4 Alarmni sat

8.2 Baferovano povezivanje

U realnim mikroračunarskim sistemima, signali mikroprocesora često se baferuju. Pojam 'baferovanje' podrazumeva da se između dve komponente koje razmenjuju signale stavlja bafersko kolo (često ovo kolo zovemo kraće bafer, eng. *buffer*) odnosno posebno integrisano kolo preko koga komponente posredno razmenjuju signale.

U ovom poglavlju pokazaćemo baferovanje signala mikroprocesora, ali treba imati u vidu da mogu da se baferuju signali bilo koje druge komponente, na primer memorije ili kontrolera.

Pošto signali mikroprocesora mogu biti ulazni, izlazni ili bidirekcionni, razlikujemo slučajeve baferovanja ulaznih, izlaznih i bidirekcionnih signala, kao što to prikazuje slika 8.5.



Slika 8.5 Različiti slučajevi baferovanja

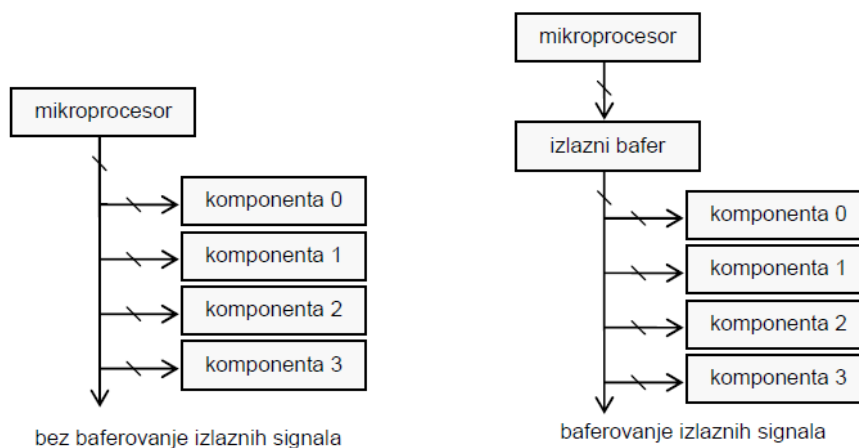
Baferi se koriste za:

- povećanje faktora grananja izlaznih signala mikroprocesora (ili neke druge komponente na čije izlazne signale se stavlja bafer),
- zaštitu mikroprocesora od neočekivanih strujnih ili naponskih udara,

i

- privremeno prihvatanje i pamćenje signala.

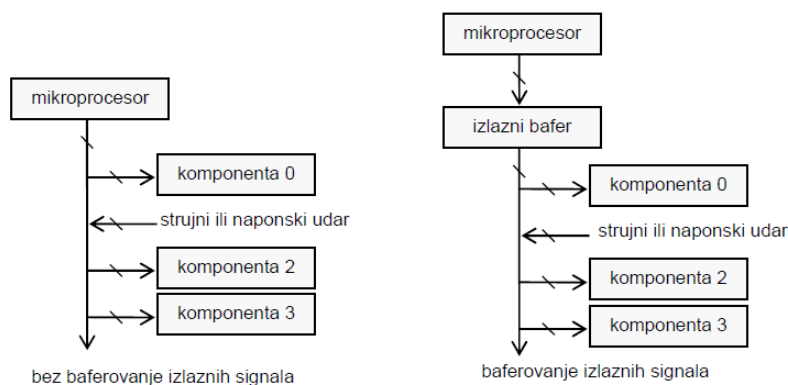
Povećanje faktora grananje važno je u slučajevima kada je na zajedničke linije za prenos signala vezan broj komponenata koji nadmašuje faktor grananja kola. U ovim slučajevima bafer pojačava izlazne strujne mogućnosti mikroprocesora i tako obezbeđuje pravilan rad mikrorračunarskog sistema. Idejno rešenje za povećanje faktora grananja jednosmernih signala prikazano je na slici 8.6.



Slika 8.6 Povećanje faktora grananja baferovanjem

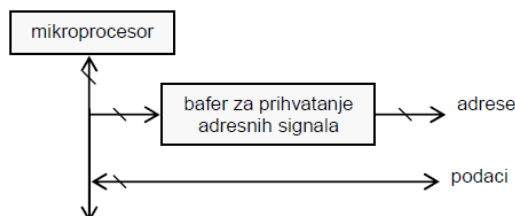
Na slici levo prikazan je mikroprocesor na čijim izlaznim linijama su priključene četiri komponente. Ako pretpostavimo da je izlazni faktor grananja signala mikroprocesora jednak 3, onda izlazni stepen na spoljnjim priključcima mikroprocesora nije u stanju da obezbedi dovoljnu struju za ulazne stepene četiri komponente. Rešenje ovoga problema prikazano je na slici desno. Na izlazne priključke mikroprocesora vezuje se bafer koji sa jedne strane prihvata izlazne signale mikroprocesora, a sa druge strane ima dovoljan faktor grananja da može obezbediti dovoljnu struju za ulazne stepene priključenih komponenata.

Zaštita mikroprocesora od strujnih i naponskih udara ilustrovana je na slici 8.7. Pretpostavimo da je komponenta 1 u kvaru i da se preko njenih priključaka prenosi strujni ili naponski udar za zajedničke linije za prenos signala. Očigledno je da ovaj udar u sistemu bez bafera može da ošteti mikroprocesor. Sa druge strane, bafer je prvi na udaru i tako štiti mikroprocesor, koji je obično najskuplja i vitalna komponenta za rad sistema.



Slika 8.7 Zaštita od strujnih udara

Privremeno prihvatanje signala obično se koristi u slučajevima kada se iste spoljne linije koriste u vremenskom multipleksu za prenos različitih signala. Pretpostavimo da se preko istih spoljnih linija mikroprocesora prvo prenose adresni signali, a zatim signali za prenos podataka. Sledeća slika ilustruje primenu bafera sa privremenim prihvatanjem adresnih signala čime se demultipleksiraju spoljni signali mikroprocesora.



Slika 8.8 Demultipleksiranje adresa i podataka

Za demultipleksiranje se koristi bafer koji u periodu kada se na spoljnim priključcima pojave adresni signali, prihvati i upamti ove signale i na svom izlazu formira signale adresne magistrale. Bafer pamti vrednosti adresnih signala u toku drugog dela mašinskog ciklusa kada se preko spoljnih priključaka mikroprocesora prenose signali podataka. Na ovaj način odvajaju se dve magistrale čiji signali su multipleksirani na spoljnim priključcima mikroprocesora.

Podela bafera

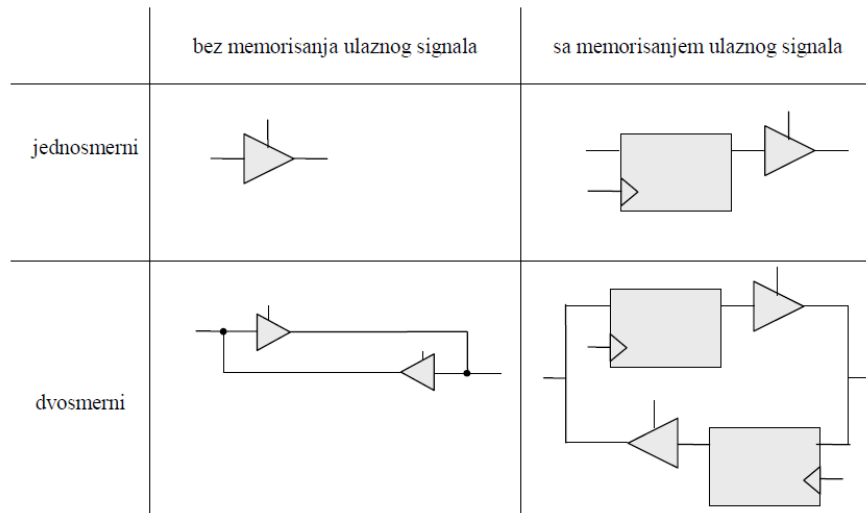
U praksi se koriste baferi sa različitim osobinama:

- u odnosu na smer prenosa signala: jednosmerni i dvosmerni baferi,
- u odnosu na konfiguraciju izlaznog stepena: baferi koji na svojim izlazima mogu da imaju stanje visoke impedanse i koji nemaju na izlazu stanje visoke impedanse,
- u odnosu na mogućnost pamćenja signala: baferi koji imaju unutrašnje registre za privremeno prihvatanje i pamćenje ulaznih signala i baferi bez unutrašnjih registara,
- u odnosu na invertovanje ulaznog signala: baferi koji ne invertuju i baferi koji invertuju logičke nivoe ulaznih signala.

U skladu sa navedenim alternativama, baferi imaju upravljačke signale za:

- određivanje smera prenosa signala,
- prevođenje izlaza u stanje visoke impedanse, i
- za upis ulaznih signala u unutrašnji registar bafera.

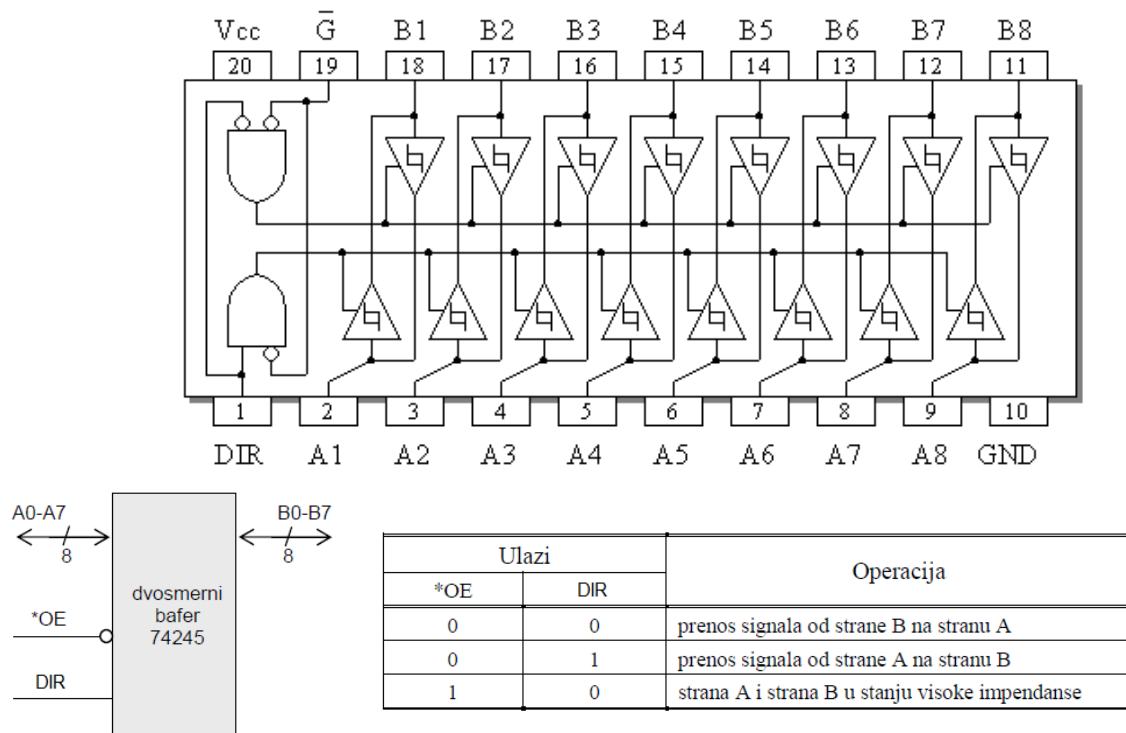
Baferi se obično sastoje od nekoliko identičnih stepeni koji imaju zajedničke upravljačke signale. Na slici 8.9 dati su primeri tipičnih baferskih stepeni koji imaju mogućnost prevođenja izlaznog signala u stanje visoke impedanse i koji ne invertuju logički nivo ulaznog signala.



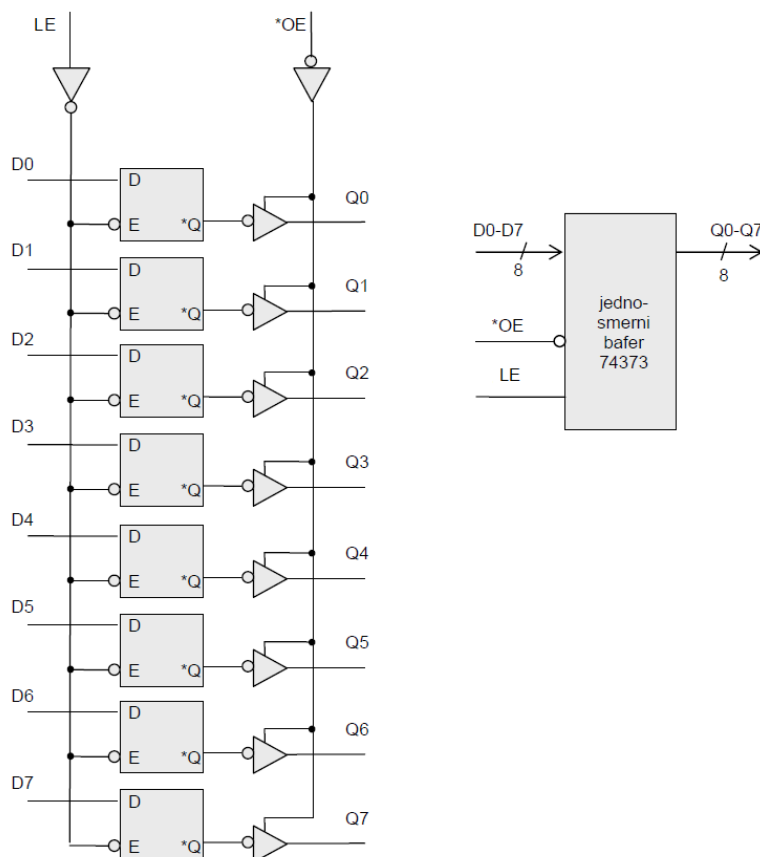
Slika 8.9 Podela bafera

Primeri bafera

Na narednim slikama su dati primeri dvosmernog 74245 i jednosmernog 74373 bafera sa funkcionalnim šemama, blok šemama i funkcionalnim tablicama.



Slika 8.10 Dvosmerni bafer 74245



Upravljački ulazi		Podaci	Bit internog registra	Bit izlaza	Operacija
*OE	E	Dn		Q0 – Q7	
0	1	0	0	0	Izlazi slede ulazne signale
0	1	1	1	1	
0	0	X	nema promene	nema promene	Registar ne menja sadržaj, izlaz je sadržaj registra
1	0	X	nema promene	visoka impedansa	Izlazi su u stanju visoke impedanse
1	1	Dn	Dn	visoka impedansa	

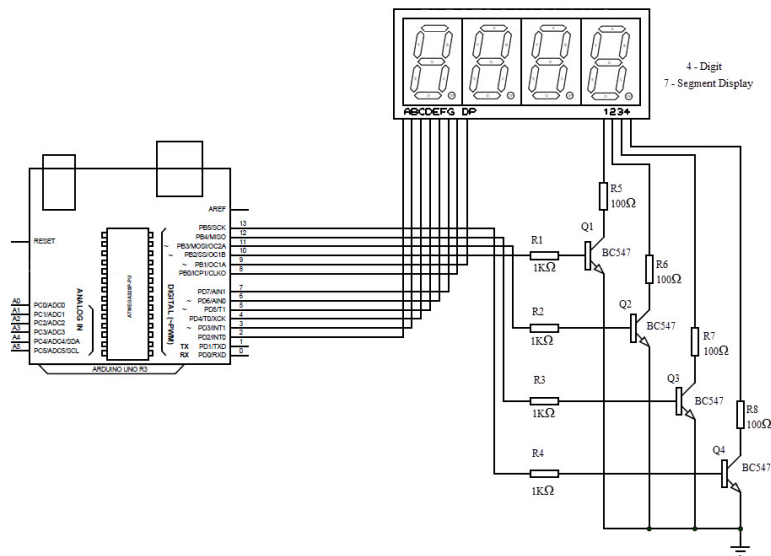
Slika 8.11 Jednosmerni bafer sa unutrašnjim leč kolima – 74373

8.3 Multipleksno povezivanje periferija

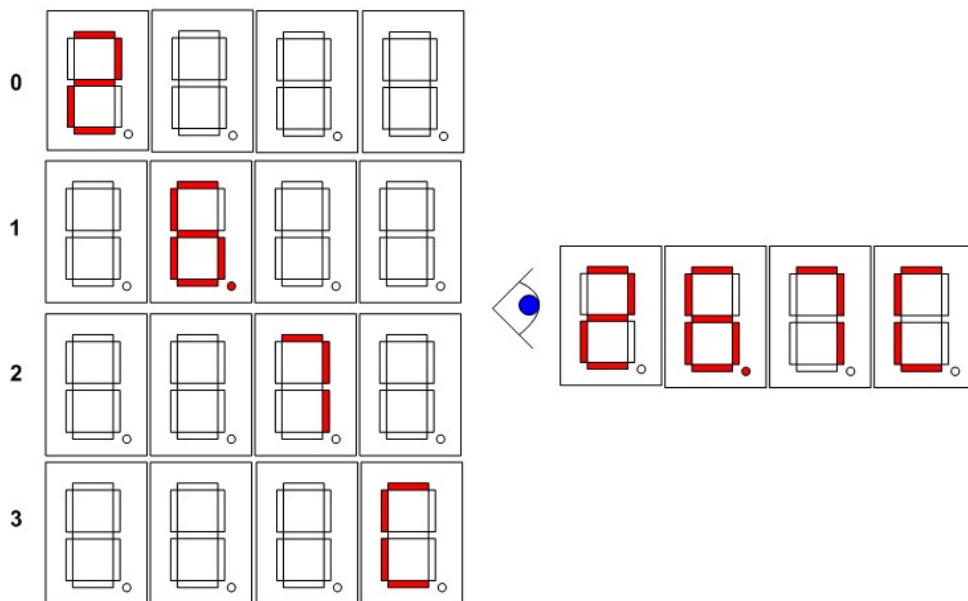
Vratimo se na sistem sa slike 8.3. Postavlja se pitanje, šta ako želimo da prikazemo 4 cifre? Jasno je da je to direktnim povezivanjem fizički nemoguće, jer ne postoji potreban broj nožica portova za proširenje. U ovom slučaju moguće je vezati više displeja **multipleksno** (vidi sl. 8.12) uz dodavanje spoljašnjih bafera. I u ovom slučaju broj periferija koje možemo povezati je ograničen.

Multipleksno vezivanje se može efikasno koristiti kod displeja, svetlećih dioda ili prekidača, a moguće je čak i displeje i prekidače vezati tako da dele istu magistralu podataka. Međutim, problem je ako treba povezati na mikrokontroler velik broj periferija

koje se razlikuju po načinu povezivanja i upravljanja. U ovom slučaju se mora koristiti memorijsko mapiranje što će biti objašnjeno kasnije.



Slika 8.12 Multipleksno povezivanje displeja

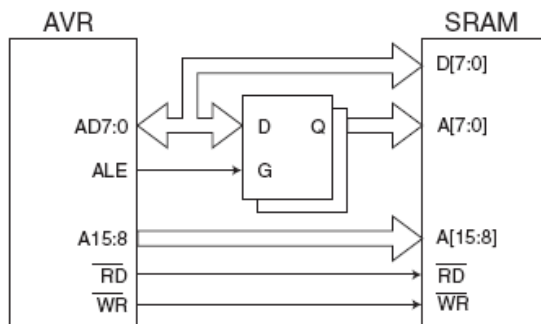


Slika 8.13 Pojašnjenje principa multipleksiranja

Povezivanje spoljašnjih memorija

Primer sistema sa spoljašnjom memorijom prikazan je na slici 8.13. Da bi mogla komunikacija između mikrokontrolera i memorije da radi potrebno je da se oforme magistrale podataka i adresna magistrala. Formiranje ovih magistrala vrši se pomoću portova ukoliko je na njima urađen vremenski multipleks adresa i podataka tako što jedan port služi za generisanje donjih 8 bita adrese (A0..A7) tokom prve polovine mašinskog

ciklusa u kome se izvršava pristup spoljašnjoj memoriji. Tokom druge polovine mašinskog ciklusa taj port služi za prijem podatka, u slučaju čitanja spoljašnje memorije, ili slanje podatka u slučaju upisa u spoljašnju memoriju. Da bi ovo bilo ostvarivo potrebno je dodatno leč kolo koje će pamtitu niži bajt adrese za ovakvo demultipleksiranje adresnih linija sa linijama podataka.



Slika 8.13 Mikrokontroler sa povezanom spoljašnjom memorijom

Pored toga, neophodan je i signal ALE (eng. *address latch enable*) koji se generiše od strane mikrokontrolera da označi trenutak kada leč kolo treba da prihvati tih donjih osam bita adrese (A0..A7). U trenutku kada se pojavi opadajuća ivica (sa "1" na "0") na liniji ALE, leč kolo prosleđuje na svoj izlaz 8 bita koji su u tom trenutku prisutni na njegovom ulazu. Od tog trenutka pa do kraja mašinskog ciklusa, izlazi leč kola zajedno sa linijama drugog porta sačinjavaju adresnu magistralu, dok prvi port sačinjava magistralu podataka.

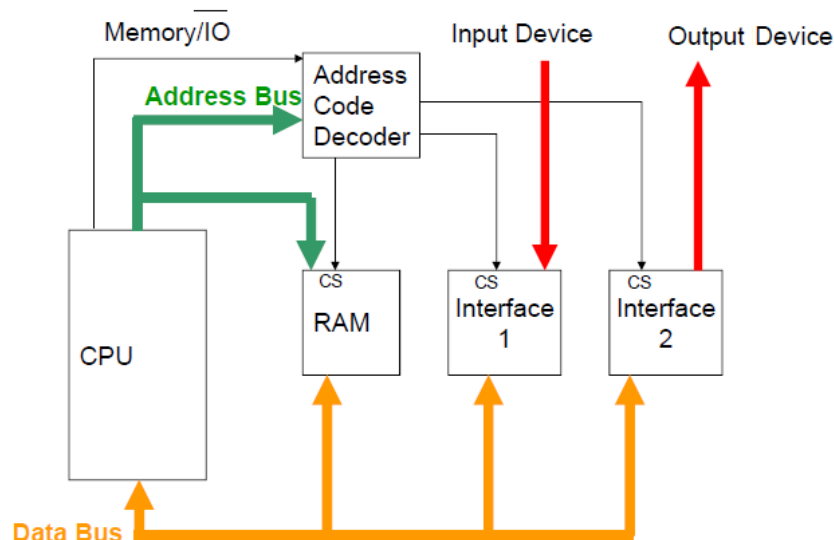
Ovako formirane magistrala podataka i adresna magistrala se dalje mogu koristiti za povezivanje sa spoljašnjim memorijama uz korišćenje RD i WR signala mikrokontrolera.

Ovakav način povezivanja podržavaju samo neki mikrokontroleri kao što su npr. x51 i ATmega8515, a neki ne kao što je ATmega328.

8.4 Memorijski mapirano povezivanje periferija

Ukoliko mikrokontroler podržava rad sa spoljašnjim memorijama, tada najčešće ne zahteva pun opseg spoljašnje memorije, bilo da je u pitanju RAM, ROM ili kombinacija. To znači da veliki deo memorijskog prostora ostaje neiskorišćen. Ne samo da deo memorijskog prostora ostaje neiskorišćen, već su nožice portova koji nisu važne za formiranje adrese neupotrebljive. Na primer, ako nam je potrebna eksterna memorija od 1kB, za adresiranje je potrebno 10 linija od ukupno 16. Ostale nožice, iako ne učestvuju u formiranju adresa, kod nekih mikrokontrolera ne mogu biti iskorišćene za vezivanje periferija, jer to ne dozvoljava mikrokontroler (npr. x51).

Ipak, moguće je povezati periferne uređaje ako ih posmatramo kao delove memorijskog adresnog prostora mikrokontrolera. Na ovaj način joj se pristupa kao da je memorija (nešto se upisuje ili čita). Kombinacijom kola za pamćenje stanja i adresnog dekodera moguće je povezati veliki broj periferija. Radi boljeg razumevanja memorijskog mapiranja, na primeru sa slike 8.14 je prikazano povezivanje spoljašnje memorije, jedne ulazne periferije (npr. 8 prekidača) i jedne izlazne (npr. 8 LED).



Slika 8.14 Memorijsko mapiranje periferija

Sa slike se vidi da je neophodna upotreba adresnog dekodera da bi se izvršilo nepotpuno dekodovanje (o čemu je bilo reči u predavanju o memorijskom podsistemu) i aktivirao odgovarajući CS (eng. *Chip Select*) signal za aktiviranje odgovarajuće periferije.

Ono što se veoma često koristi kod većine mikrokontrolera je da se memorijski mapiraju određene skupine registara. Primer kod mikrokontrolera ATmega328 a u vezi registara za rad sa portovima (DDRx, PORTx, PINx; x - B, C ili D) prikazan je na slici 8.15.

0x0E (0x2E)	Reserved	-	-	-	-	-	-	-	-
0x0D (0x2D)	Reserved	-	-	-	-	-	-	-	-
0x0C (0x2C)	Reserved	-	-	-	-	-	-	-	-
0x0B (0x2B)	PORTD	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0
0x0A (0x2A)	DDRD	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0
0x09 (0x29)	PIND	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0
0x08 (0x28)	PORTC	-	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0
0x07 (0x27)	DDRC	-	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0
0x06 (0x26)	PINC	-	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0
0x05 (0x25)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0
0x04 (0x24)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0
0x03 (0x23)	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0
0x02 (0x22)	Reserved	-	-	-	-	-	-	-	-
0x01 (0x21)	Reserved	-	-	-	-	-	-	-	-
0x0 (0x20)	Reserved	-	-	-	-	-	-	-	-

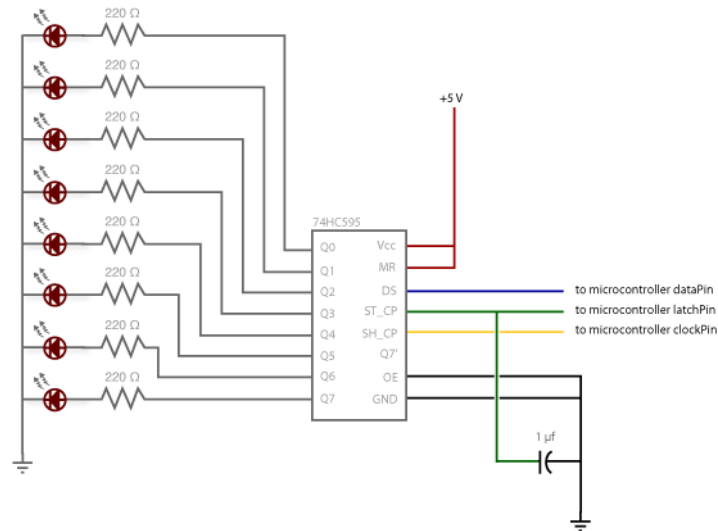
Slika 8.15 Memorijsko mapiranje registara

8.5 Povezivanje uz konverzije

Da bi se prevazišao manjak pinova mikrokontrolera u slučaju direktnog povezivanja nekada se pristupa i upotrebi kola za serijsko-paralelnu ili paralelno-serijsku konverziju. O analogno-digitalnoj konverziji kod Arduina je bilo reči na prethodnom predavanju.

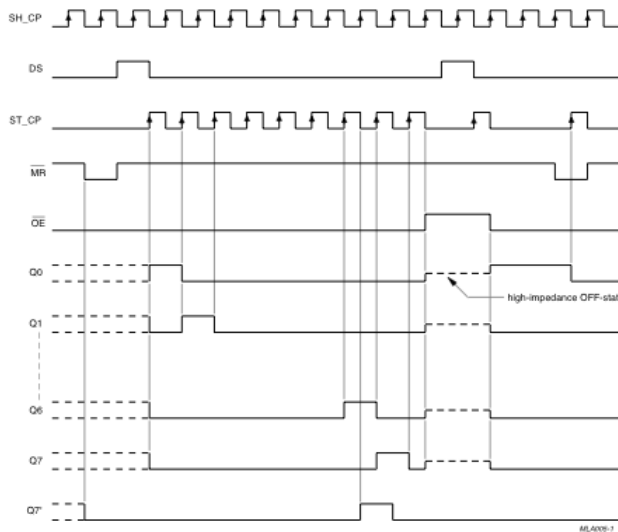
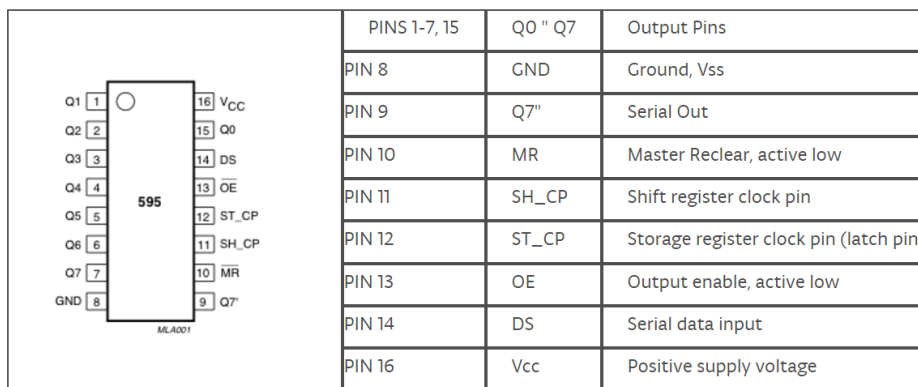
Povezivanje uz serijsko-paralelnu konverziju (SIPO)

Na Slici 8.16 prikazan je tipičan primer SIPO konverzije gde se sa kontrolera serijski šalju podaci koje treba prikazati na izlaznoj periferiji npr. 8 LED. Da bi to moglo da se uradi potrebno je koristiti dodatno elektronsko kolo za SIPO konverziju - 74HC595.



Slika 8.16 Primer kola sa SIPO konverzijom

Na slici 8.17 prikazano je kolo za SIPO konverziju sa objašnjenjem pinova i vremenskim dijagramima.



FUNCTION TABLE

See note 1.

INPUT		OUTPUT					FUNCTION
SH_CP	ST_CP	OE	MR	DS	Q7'	Qn	
X	X	L	L	X	L	n.c.	a LOW level on MR only affects the shift registers
X	↑	L	L	X	L	L	empty shift register loaded into storage register
X	X	H	L	X	L	Z	shift register clear; parallel outputs in high-impedance OFF-state
↑	X	L	H	H	Q6'	n.c.	logic high level shifted into shift register stage 0; contents of all shift register stages shifted through, e.g. previous state of stage 6 (internal Q6') appears on the serial output (Q7')
X	↑	L	H	X	n.c.	Qn'	contents of shift register stages (internal Qn') are transferred to the storage register and parallel output stages
↑	↑	L	H	X	Q6'	Qn'	contents of shift register shifted through; previous contents of the shift register is transferred to the storage register and the parallel output stages

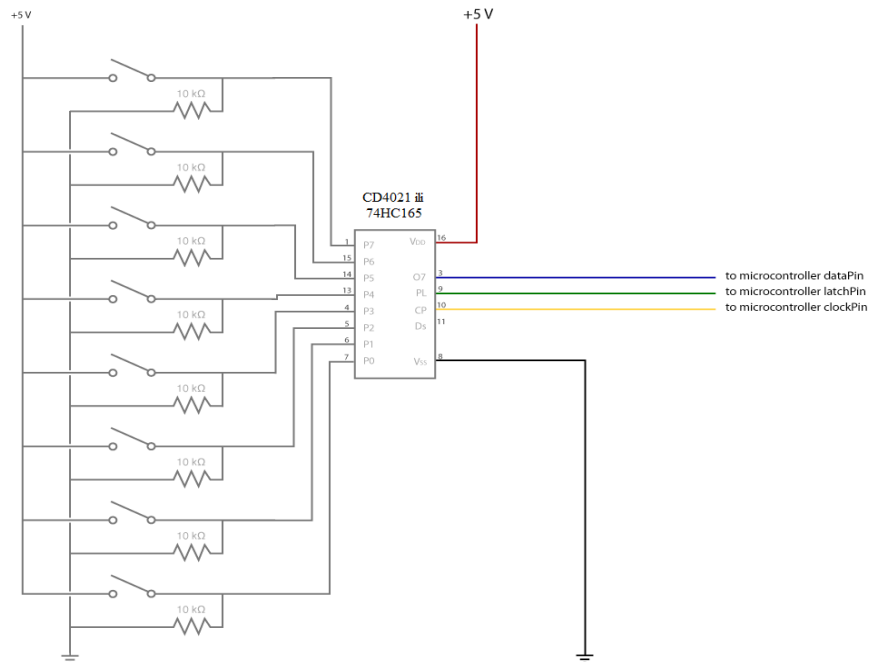
Note

1. H = HIGH voltage level;
L = LOW voltage level;
↑ = LOW-to-HIGH transition;
↓ = HIGH-to-LOW transition;
Z = high-impedance OFF-state;
n.c. = no change;
X = don't care.

Slika 8.17 Kolo za SIPO konverziju

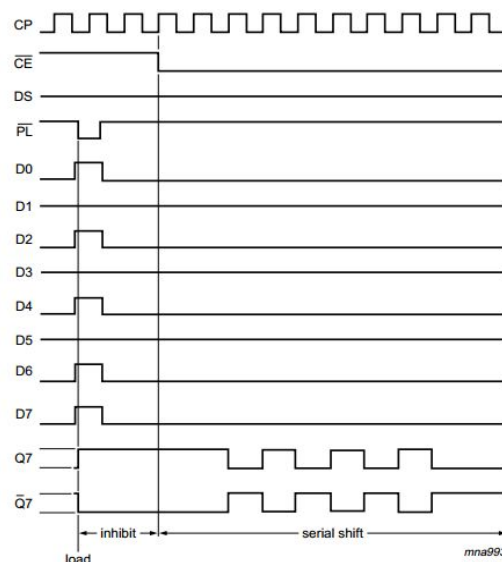
Povezivanje uz paralelno-serijsku konverziju (PISO)

Na Slici 8.18 prikazan je tipičan primer PISO konverzije gde se sa kontrolera serijski primaju podaci sa neke ulazne periferije npr. 8 prekidača. Da bi to moglo da se uradi potrebno je koristiti dodatno elektronsko kolo za PISO konverziju - 74HC165 ili CD4021.



Slika 8.18 Primer kola sa PISO konverzijom

Na slici 8.19 su prikazani vremenski dijagrami rada PISO konvertora. Po pojavi signala za čitanje paralelnog ulaza (PL) se podaci sa ulazne periferije učitavaju u interni registar. Nakon toga se generisanjem takta CP oni serijski šalju bit-po-bit na izlaz Q7.



Slika 8.19 Vremenski dijagrami rada PISO konvertora

Opis rada sa PISO konvertorom je dat na:

<https://iamzxlee.wordpress.com/2014/05/13/74hc165-8-bit-parallel-inserial-out-shift-register/>

8.6 Povezivanje na bazi standardnih protokola

Pod pojmom standardnih protokola se misli npr. na standardne serijske protokole tipa I2C, SPI, RS232 itd. O serijskoj komunikaciji će biti više reči na nekom od narednih predavanja. Neki od ovih protokola će se detaljno raditi na višim godinama.