

MPE - pitanja iz teorije

Prvi deo:

1. Od kojih komponenata se sastoji minimalna konfiguracija mikroračunarskog sistema? Objasniti.
2. Napisati i objasniti kako se dele arhitekture računara sa stanovišta organizacije memorije.
3. Objasniti podelu CPU sa stanovišta načina i vremena potrebnog za izvršavanje instrukcija.
4. Objasniti podelu CPU sistema sa stanovišta realizacije magistrala.
5. Koje su razlike između RISC i CISC skupova instrukcija?
6. Koji je hardverski minimalni skup komponenata, a koji softverski koje definišu arhitekturu CPU?
7. Sta spada u podsistem za obradu i tokove podataka (datapath) procesora?
8. Objasniti pojmove: instrukcija, skup instrukcija i načini adresiranja.
9. Objasniti sve elemente programerskog modela mikroprocesora.
10. Objasniti faze izvršavanja instrukcija.
11. Navesti vrste i objasniti namenu registara CPU.
12. Čemu služi registar?
13. Na koje sve načine se može realizovati upravljačka jedinica (UJ)? Objasniti svaki.
14. Nacrtati blok šemu i objasniti mikroprogramsku realizaciju UJ?
15. Zbog čega se realizacija preko konačnih automata danas često koristi pogo tovo za UJ-e realizovane u programabilnoj logici?
16. Da li veličina učestanosti takta automatski govori o brzini rada računara? Zašto?
17. Napisati izraz i objasniti kao se računa CPI.
18. Napisati izraz i objasniti kao se računa MIPS.
19. Napisati izraz za vezu CPI i MIPS i objasniti.
20. Napisati izraz i objasniti kao se računa MFLOPS.
21. Benchmark testovi su dati za 2 različita kompjutera. Izračunati i uporediti CPI i MIPS.
22. Objasniti Murov zakon.
23. Objasniti pojam 'Memorijski zid'.
24. Objasniti pojam 'Zid snage'.
- 25.
26. Nacrtati model vodopada i kratko objasniti pojedinačne faze za slučaj projektovanja CPU.
27. Na koja pitanja je potrebno odgovoriti u fazi zahteva kod projektovanja CPU-a?
28. Nacrtati i objasniti generalnu strukturu mikroprocesora opšte namene.
29. Objasniti razliku između apstraktnog i konkretnog RTN modela CPU.
30. Koja je osnovna namena i velika prednost konkretnog RTN modela proširenog upravljačkim signalima?
31. Objasniti čemu služe tablica prelaza, tablica izlaza, jednačine pobude i jednačine izlaza kod ožičene realizacije upravljačke jedinice.
32. Dat je skup od nekoliko instrukcija u sledećoj tablici (tablica će biti data na kolokvijumu po analogiji sa mCPUx). Nacrtati datapath ovog mikroprocesora po analogiji sa mCPUx.
33. Za dati skup instrukcija (po ugledu na mCPUx) nacrtati dijagram stanja upravljačke jedinice i napisati koji se upravljački signali generišu.
34. Sta je u formatu instrukcija mCPU1 potrebno promeniti ako želimo da skup instrukcija umesto sadašnjih 6 sadrži npr. 9 instrukcija?
35. Ukoliko bi želeli da dodamo instrukciju JNZ adresa (adresa je 4-bitna vrednost aaaa) u skup instrukcija mCPU1, šta bi sve trebalo promeniti?
36. Napisati konkretan RTN model za JZ adresa instrukciju za mCPU1.
37. Medusobno uporediti mCPU0, mCPU1 i mCPU2.
38. Objasniti šta znači: "modifikovana akumulatorska 8-bitna arhitektura von Neumann tipa".
39. Nacrtati strukturalni model mEdulent-a.
40. Napisati izraze za apstraktni i konkretan RTN model faze zahvata instrukcije mEdulenta.

41. Napisati izraze za apstraktni i konkretan RTN model neke instrukcije mEdulenta po želji.
42. Objasniti format instrukcije mEdulenta dat slikom.
43. Koji su neki od principa projektovanja savremenih arhitektura CPU?
44. Objasniti šta predstavlja superskalarna arhitektura i šta se njome postiže.
- 45.
46. Objasniti princip prostorne lokalnosti kod memorija.
47. Objasniti princip vremenske lokalnosti kod memorija.
48. Objasniti šta znači memorijska hijerarhija i navesti primer.
49. Objasniti podelu memorija sa stanovišta način pristupa memorijskim lokacijama.
50. Objasniti podelu memorija sa stanovišta trajnosti upisanih informacija.
51. Sta je to ROM?
52. Objasniti kako se mogu realizovati memorijske ćelije.
53. Koje tehnologije su dominantne pri izradi memorija?
54. Objasniti razlike između SRAM i DRAM memorija.
55. Zbog čega danas SSD sve više zamenjuju magnetne diskove i na šta treba paziti?
56. Kako se memorije klasifikuju sa stanovišta prostorne lokalnosti? Objasniti ulogu svake od njih.
57. Objasniti svrhu skrivene memorije i pojmove *miss* i *hit*.
58. Objasniti pojmove blok, pregradak, kapacitet skrivene memorije, kapacitet operativne memorije i objasniti funkcionisanje skrivene memorije na primeru $b = 16$ i $p = 4$.
59. Sta sve treba da obezbedi podsistem za upravljanje skrivenom memorijom?
60. Objasniti sva tri tipa preslikavanja kod realizacija skrivenih memorija.
61. Sinhrona veza procesora i memorije.
62. Nacrtati i objasniti vremenske dijagrame čitanja memorije.
63. Nacrtati i objasniti vremenske dijagrame upisa u memoriju.
64. Asinhrona sprega procesora i memorije.
65. Objasniti različite mogućnosti adresnog dekodovanja na primeru CPU sa m adresnih linija, memorije sa k adresnih ulaza i dekodera sa p adresnih ulaza.
66. Projektovati mikroprocesorski sistem sa memorijom čije željene karakteristike (broj linija za podatke i adresnih linija, veličine memorija, adresni prostor i sl.) su zadate daljim tekstom zadatka.
- 67.
68. Objasniti zašto su RISC arhitekture danas dominantne na tržištu u post-PC eri.
69. Nabrojati i objasniti uobičajene arhitekturne karakteristike RISC mikroprocesora.
70. Objasniti instrukcione formate RISC1.
71. Koji tipovi adresiranja su podržani kod RISC1? Objasniti ih.
72. Uzimajući u obzir 32-bitnu arhitekturu, kako su podaci smešteni u memoriji? Nacrtati.
73. Objasniti i nacrtati razliku između little i big endian načina smeštanja podataka.
74. Nacrtati i objasniti arhitekturu RISC1.
75. Objasniti ulogu protočne obrade u idealnom slučaju i objasniti na nekom primeru.
76. Šta je potrebno dodati/modifikovati u arhitekturi RISC1 da bi se obezbedio rad sa protočnom obradom?
77. Koliko faza protočne obrade ima RISC1, koje su to i koja im je uloga?
78. Nacrtati i objasniti apstraktni izgled protočne obrade RISC1.
79. Sta predstavljaju hazardi protočne obrade? Navesti primer.
80. Objasniti hazardne protočne obrade.
81. Uporediti ARM i RISC-V mikroprocesore.