

Univerzitet u Novom Sadu  
Fakultet tehničkih nauka  
Departman za energetiku, elektroniku i telekomunikacije  
Katedra za elektroniku

## **MIKROPROCESORSKA ELEKTRONIKA**

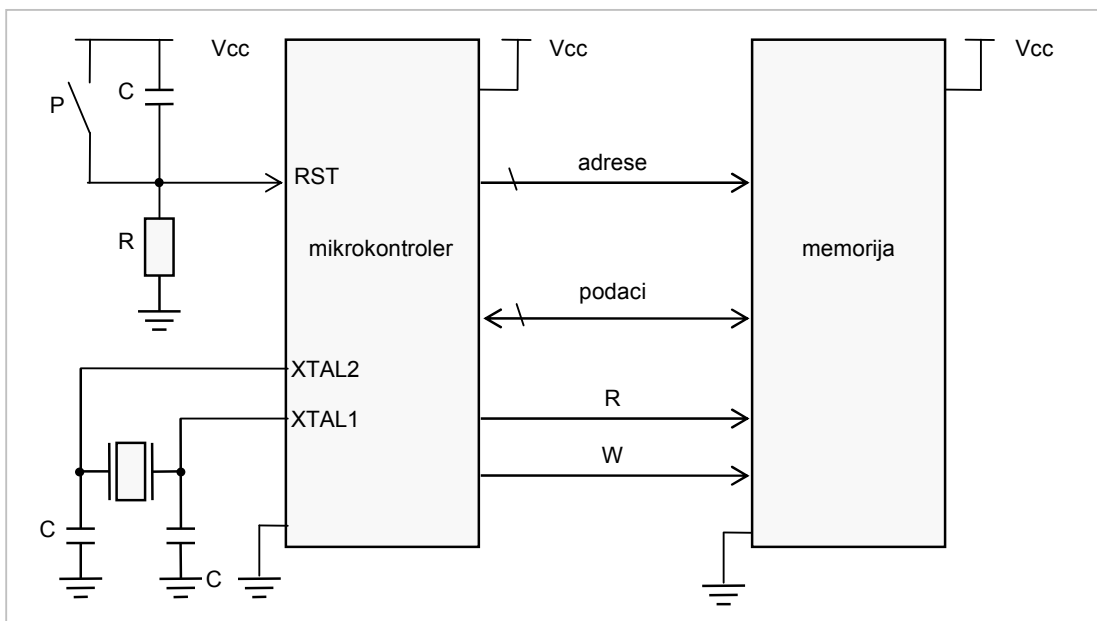
**Beleške sa predavanja  
#05**

Pripremio: prof. dr Veljko Malbaša  
Novi Sad, novembar 2007. godine

## Baferovanja spoljnih signali mikroprocesora

### Uvod

U jednostavnim slučajevima signali mikroprocesora mogu neposredno da se vežu na spoljne priključke nekog drugog kola. Na sledećem dijagramu prikazan je jednostavan sistem u kome su signali mikroprocesora i memorijskog integrisanog kola neposredno povezani. U ovom primeru pretpostavljeno je da adresni signali i signali na magistrali podataka nisu vremenski multipleksirani.

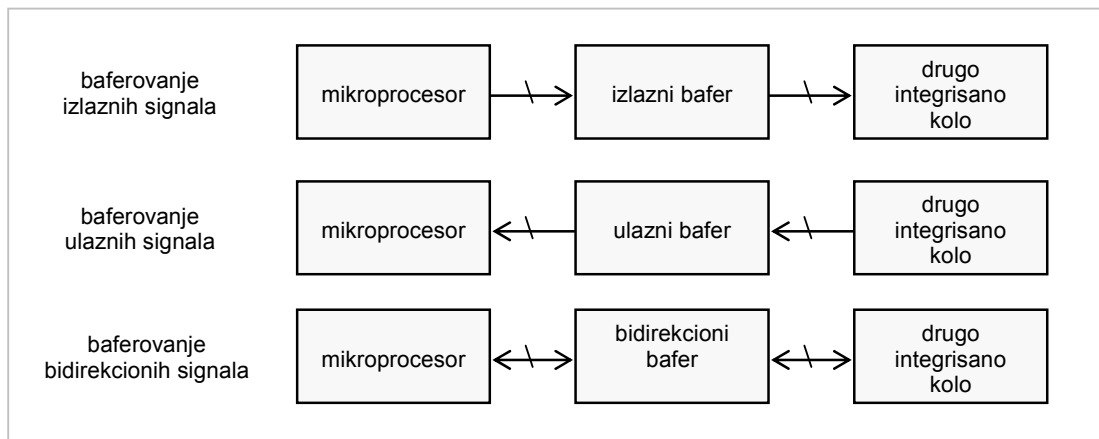


Međutim, u realnim mikroračunarskim sistemima, signali mikroprocesora često se baferuju. Pojam 'baferovanje' podrazumeva da se između dve komponente koje razmenjuju signale stavlja *bafersko kolo* (često ovo kolo zovemo kraće *bafer*, engleski *buffer*) odnosno posebno integrisano kolo preko koga komponente posredno razmenjuju signale.

U ovom poglavlju pokazaćemo baferovanje signala mikroprocesora, ali treba imati u vidu da mogu da se baferuju signali bilo koje druge komponente, na primer memorije ili kontrolera.

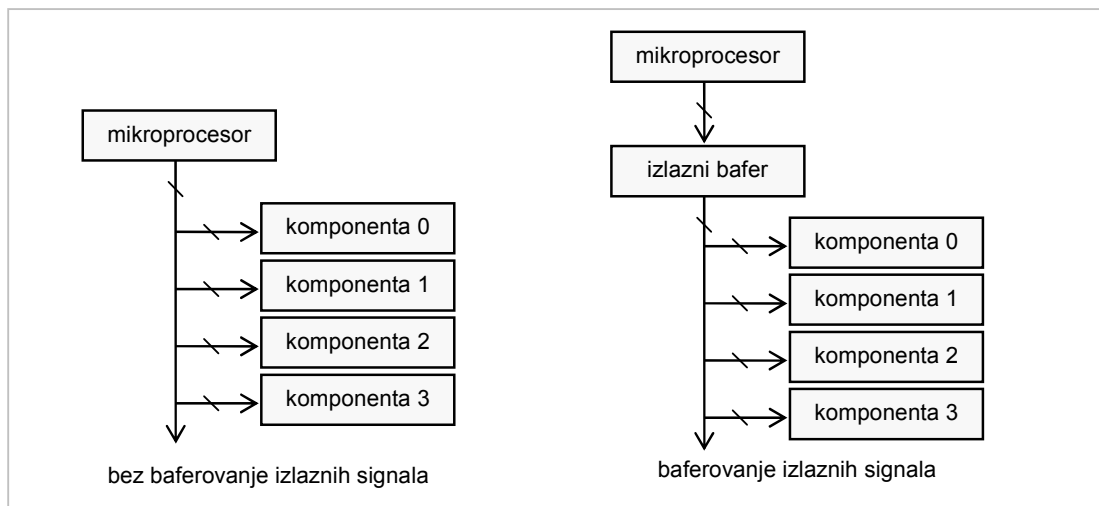
## Baferovanje signala

Pošto signali mikroprocesora mogu biti ulazni, izlazni i bidirekcioni, razlikujemo slučajeve baferovanja ulaznih, izlaznih i bidirekcionih signala, kao što to prikazuje sledeća slika.



Baferi se koriste za (i) povećanje faktora grananja izlaznih signala mikroprocesora (ili neke druge komponente na čije izlazne signale se stavlja bafer), (ii) zaštitu mikroprocesora od neočekivanih strujnih ili naponskih udara i (iii) privremeno prihvatanje i pamćenje signala.

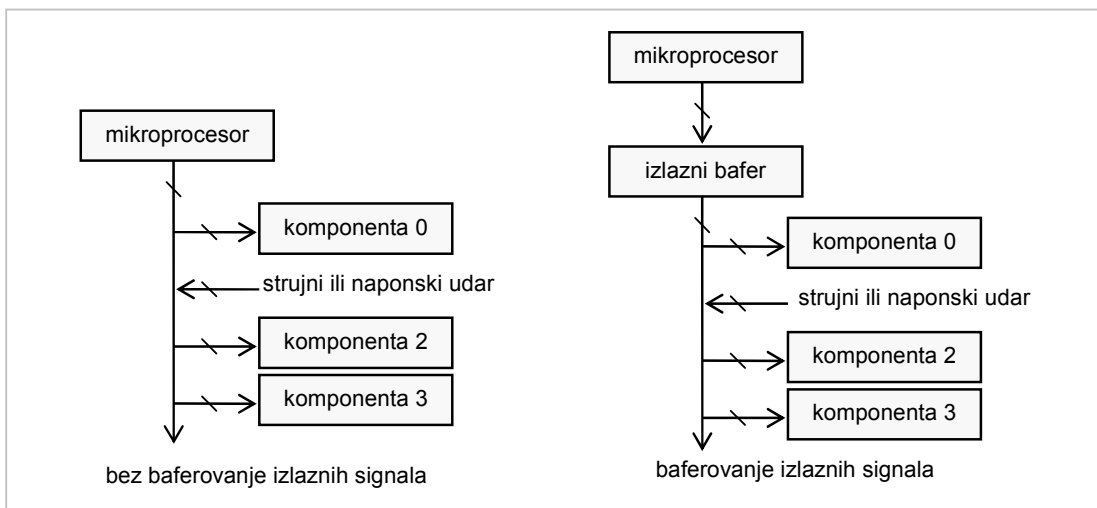
Povećanje faktora grananje važno je u slučajevima kada je na zajedničke linije za prenos signala vezan broj komponenta koji nadmašuje faktor grananja kola. U ovim slučajevima bafer pojačava izlazne strujne mikroprocesora i tako obezbeđuje pravilan rad mikroračunarskog sistema. Idejno rešenje za povećanje faktora grananje jednosmernih signala prikazano je na sledećem dijagramu.



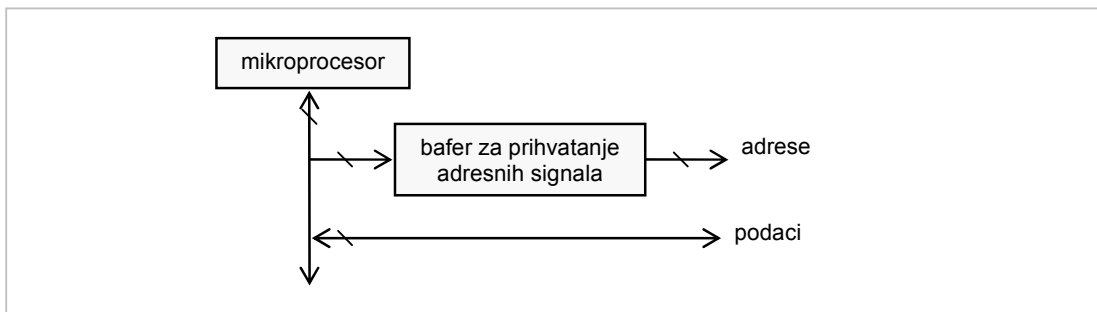
Na slici levo prikazan je mikroprocesor na čijim izlaznim linijama su priključene četiri komponente. Ako pretpostavimo da je izlazni faktor grananja signala mikroprocesora jednak 3, onda izlazni stepen na spoljnim priključima mikroprocesora nije u stanju da obezbedi dovoljnu struju za ulazne stepene četiri komponente. Rešenje ovoga problema prikazano je na slici desno. Na izlazne priključke mikroprocesora vezuje se bafer koji sa jedne strane prihvata izlazne signale

mikroprocesora, a sa druge strane ima dovoljan faktor grananja da može obezbediti dovoljnu struju za ulazne stepene priključenih komponentata.

Zaštita mikroprocesora od strujnih i naponskih udara ilustrovana je na sledećoj slici. Pretpostavimo da je komponenta 1 u kvaru i da se preko njenih priključaka prenosi strujni ili naponski udar za zajedničke linije za prenos signala. Očigledno je da ovaj udar u sistemu bez bafera može da ošteti mikroprocesor. Sa druge strane, bafer je prvi na udaru i tako štiti mikroprocesor, koji je obično najskuplja i vitalna komponenta za rad sistema.



Privremeno prihvatanje signala obično se koristi u slučajevima kada se iste spoljne linije koriste u vremenskom multipleksu za prenos različitih signala. Pretpostavimo da se preko istih spoljnih linija mikroprocesora prvo prenose adresni signali, a zatim signali za prenos podataka. Sledeća slika ilustruje primenu bafera sa privremenim prihvatanjem adresnih signala čime se demultipleksiraju spoljni signali mikroprocesora.



Za demultipleksiranje se koristi bafer koji u periodu kada se na spoljnim priključcima pojave adresni signali, prihvati i upamti ove signale i na svom izazu formira signale adresne magistrale. Bafer pamti vrednosti adresnih signala u toku drugog dela mašinskog ciklusa kada se preko spoljnih priključaka mikroprocesora prenose signali podataka. Na ovaj način odvajaju se dve magistrale čiji signali su multipleksirani na spoljnim priključcima mikroprocesora.

U praksi se koriste baferi sa različitim osobinama:

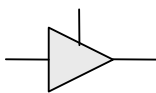
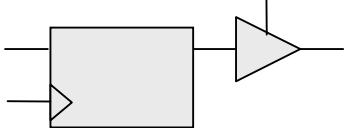
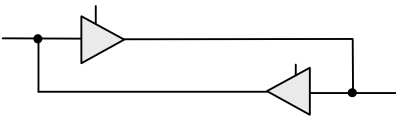
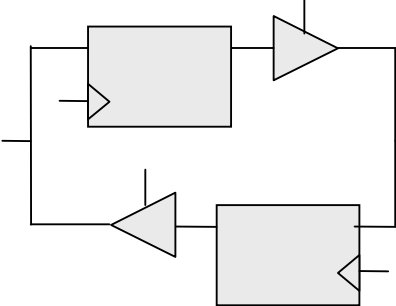
- u odnosu na smer prenosa signala: jednosmerni i dvosmerni baferi,

- u odnosu na konfiguraciju izlaznog stepena: baferi koji na svojim izlazima mogu da imaju stanje visoke impendanse i koji nemaju na izlazu stanje visoke impendanse,
- u odnosu na mogućnost pamćenja signala: baferi koji imaju interne registre sa privremeno prihvatanje i pamćenje ulaznih signala i baferi bez internih registara,
- u odnosu na invertovanje ulaznog signala: baferi koji ne invertuju i baferi koji invertuju logičke nivoe ulaznih signala.

U skladu sa navedenim alternativama, baferi imaju upravljačke signale za:

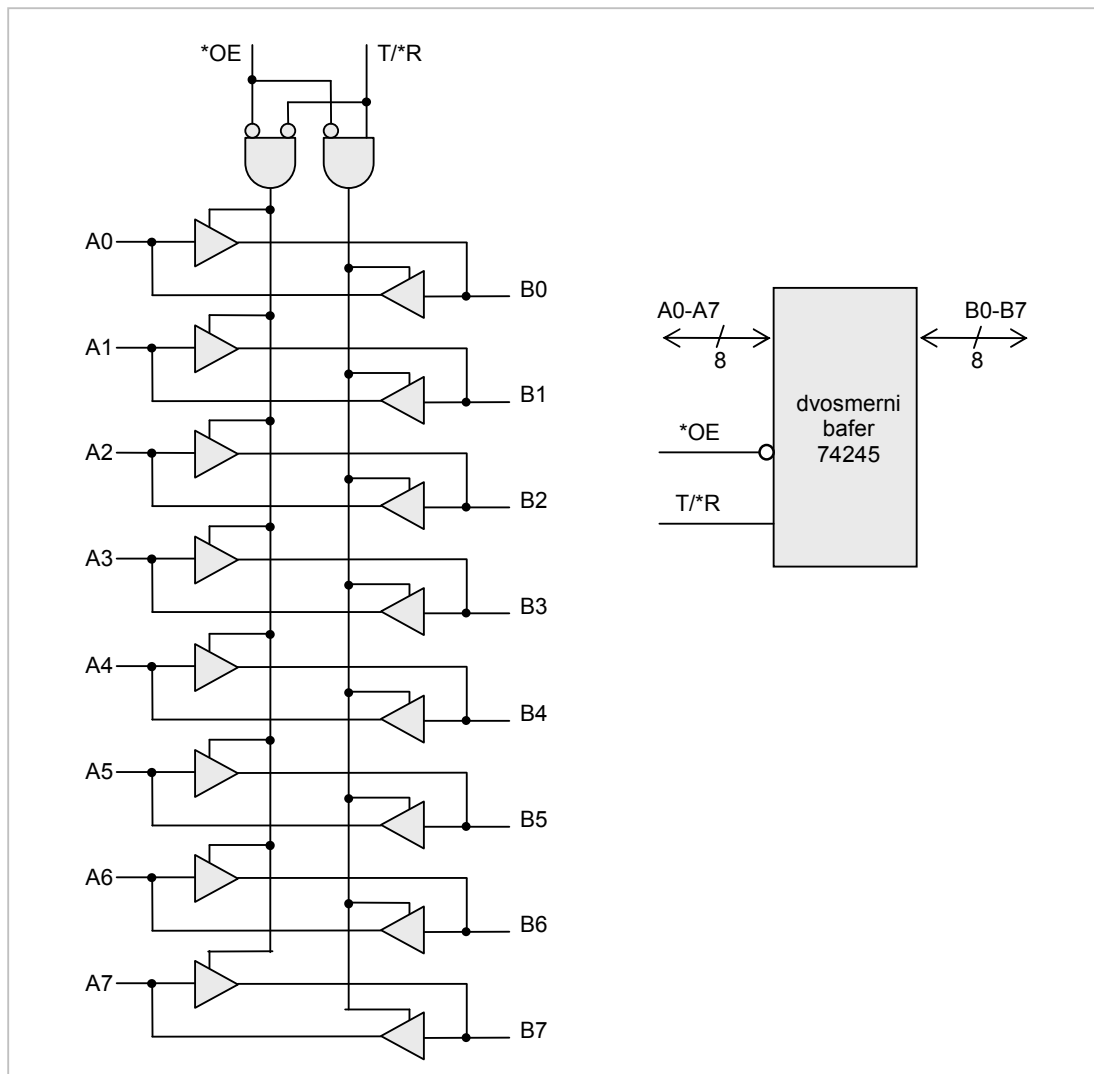
- određivanje smera prenosa signala,
- prevođenje izlaza u stanje visoke impendanse,
- za upis ulaznih signala u interni registar bafera.

Baferi se obično sastoje od nekoliko identičnih stepeni koji imaju zajedničke upravljačke signale. U sledećoj tabeli dati su primeri tipičnih baferskih stepeni koji imaju mogućnost prevođenja izlaznog signala u stanje visoke impendanse i koji ne invertuju logički nivo ulaznog signala.

	bez memorisanja ulaznog signala	sa memorisanjem ulaznog signala
jednosmerni		
dvosmerni		

## Primer dvosmernog bafera bez memorisanja ulaznih signala

U ovom odeljku pokažaćemo primer dvosmernog bafera 74245 bez memorisanja signala. Ovo integrisano kola postoji u nizu različitih varijanti u zavisnosti od pakovanja i tehnologije izrade. Na sledećoj slici prikazana je logička šema (levo) i grafički simbol (desno) dvosmernog bafera bez memorisanja ulaznih signala.

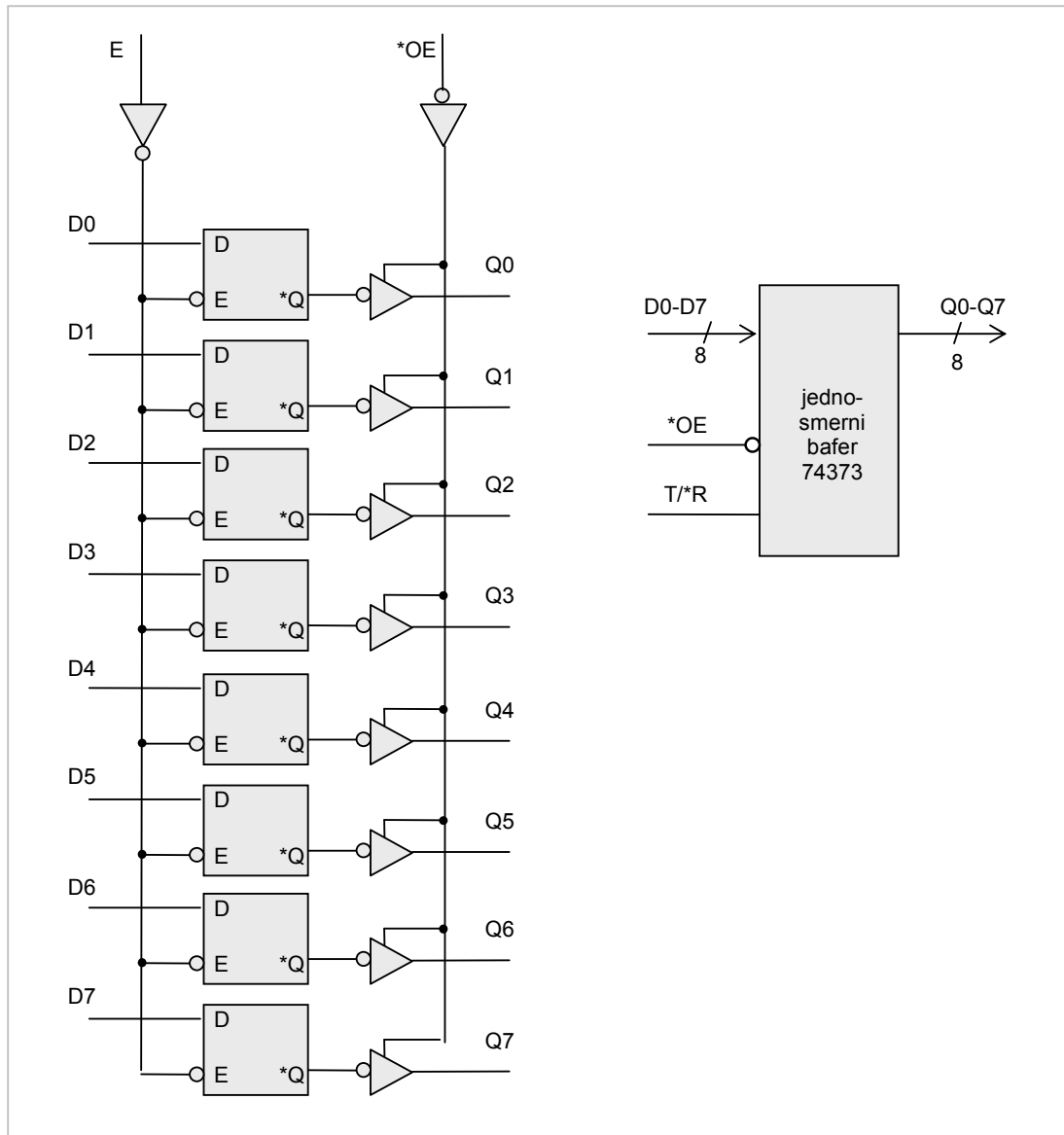


Operacije dvosmernog bafera 74245 opisuje sledeća funkcionalna tablica:

Ulazi		Operacija
$\overline{OE}$	$T/\overline{R}$	
0	0	prenos signala od strane B na stranu A
0	1	prenos signala od strane A na stranu B
1	0	strana A i strana B u stanju visoke impedanse

### Primer jednosmernog bafera sa memorisanjem ulaznih signala

U ovom odeljku pokazan je primer jednosmernog bafera 74373 sa memorisanjem ulaznih signala. Ovo integrisano kola postoji u nizu različitih varijanti u zavisnosti od pakovanja i tehnologije izrade. Na sledećoj slici prikazana je logička šema (levo) i grafički simbol (desno) jednosmernog bafera sa memorisanjem ulaznih signala.



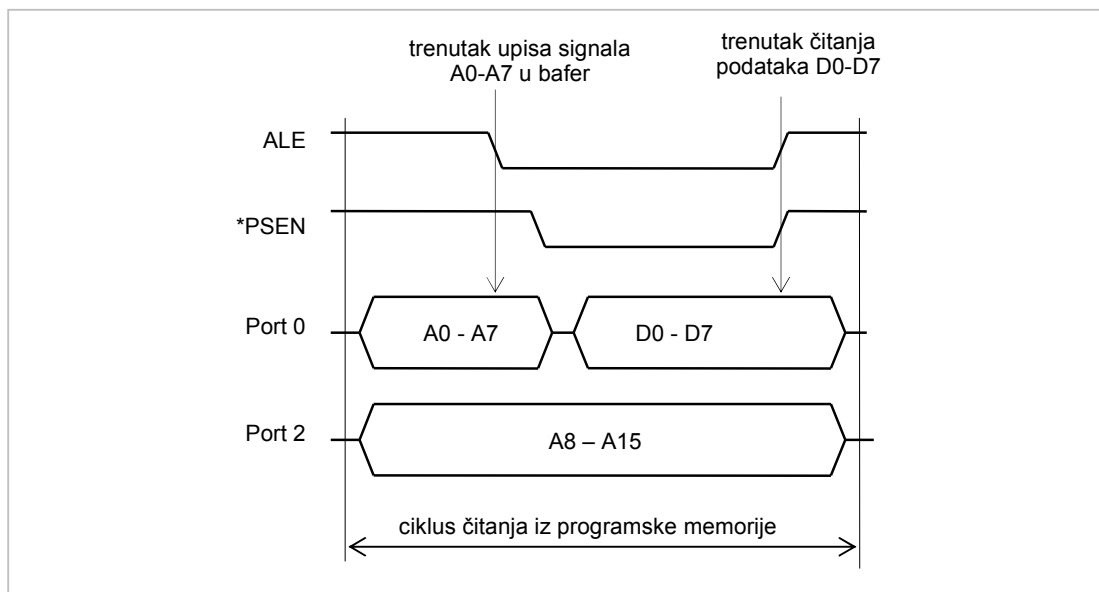
Operacije bidirekcionog bafera 74373 opisuju sledeća funkcionalna tablica:

Upravljački ulazi		Podaci	Bit internog registra	Bit izlaza	Operacija
*OE	E	Dn		Q0 – Q7	
0	1	0	0	0	Izlazi slede ulazne signale
0	1	1	1	1	
0	↓	0	0	0	Na silaznu ivicu takta ulazi <i>Di</i> upisuju se u registar
0	↓	1	1	1	
0	0	X	nema promene	nema promene	Registar ne menja sadržaj, izlaz je sadržaj registra
1	0	X	nema promene	visoka impendansa	Izlazi su u stanju visoke impendanse
1	1	Dn	Dn	visoka impendansa	

### Vremenski dijagrami ciklusa čitanja i upisa

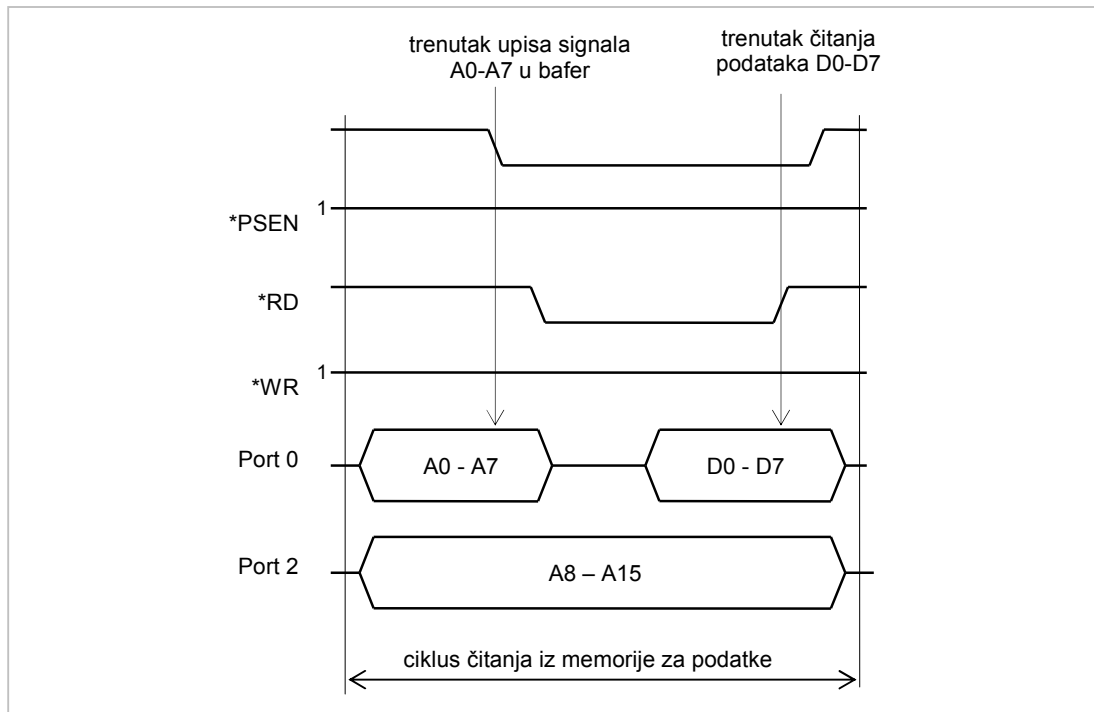
Da bi se pravilno povezali signali bafera i mikroprocesora, neophodan je detaljan uvid u vremenske dijagrame signala u toku ciklusa čitanja i upisa. Vremenski dijagrami ilustruće se na primeru mikrokontrolera 8051. Kod ovog mikrokontrolera postoje vremenski dijagrami čitanja i upisa kod spoljne i unutrašnje memorije i kod pristupa memoriji za podatke i programskoj memoriji. Od svih navedenih kombinacija, od interesa su ciklusi čitanja iz spoljne programske memorije i pristup spoljnoj memoriji za podatke.

Vremenski dijagram čitanja iz spoljne programske memorije prikazan je na sledećoj slici.

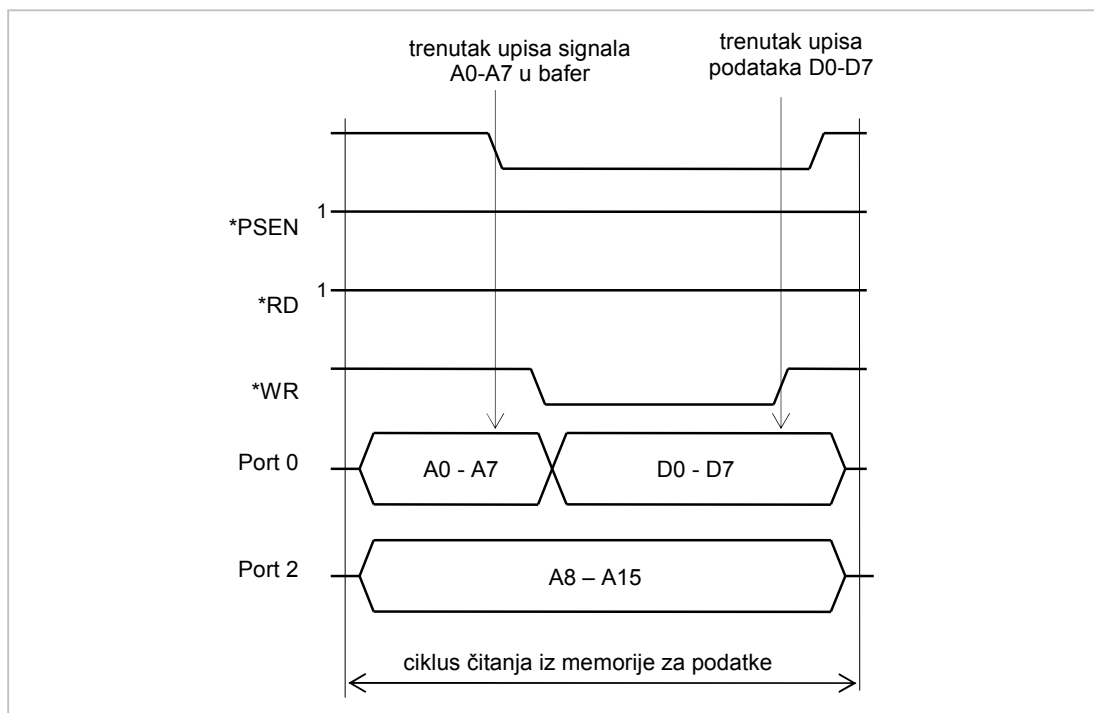




Vremenski dijagram čitanja iz spoljne memorije za podatke prikazan je na sledećoj slici.

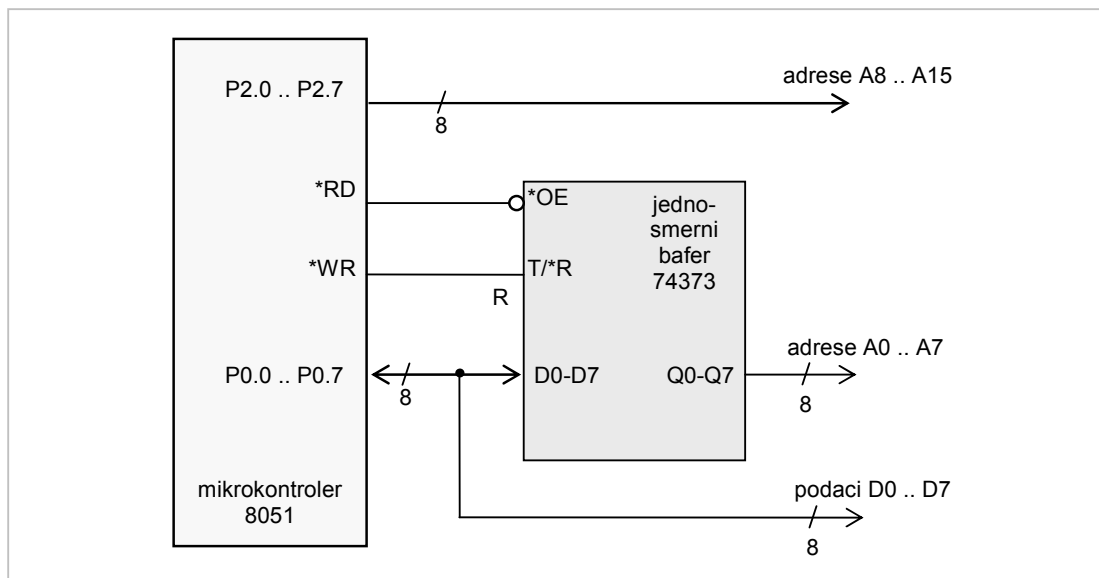


Vremenski dijagram upisa u spoljnu memoriju za podatke prikazan je na sledećoj slici.



## Demultipleksiranje adresnih signala

Kao što je već rečeno, projektanti često multipleksiraju signale mikroprocesora u vremenskom domenu kako bi na taj način smanjili broj spoljnih priključaka. Tipičan slučaj je vremensko multipleksiranje adresnih signala i signala podataka. Na sledećoj slici prikazan je primer demultipleksiranja adresnih signala A0 do A7 u primeru mikrokontrolera 8051. Radi jednostavnosti na slici nisu prikazani: kolo za reset, kolo za priključenje kvarcnog kristala i kondenzatora za potrebe generisanja sinhronizacionog signala i priključci za napajanje i masu.



U prvom delu ciklusa, na izlaznim linijama *P0.0 .. P0.7* nalazi se donjih 8 bita adrese, koji se upisuju u bafer 74x373 na silaznoj ivici signala *ALE*. U drugom delu ciklusa ostatak mikrokontrolerskog sistema ima na raspolaganju punu adresnu magistralu, dakle signale *A0 .. A15*. U drugom delu ciklusa linije *P0.0 .. P0.7* koriste se za prenos signala podataka.