

Univerzitet u Novom Sadu
Fakultet tehničkih nauka
Departman za energetiku, elektroniku i telekomunikacije
Katedra za elektroniku

MIKROPROCESORSKA ELEKTRONIKA

**Beleške sa predavanja
#06**

Pripremio: prof. dr Veljko Malbaša
Novi Sad, novembar 2007. godine

Projektovanje adresnih dekodera

Adresni prostor

Pretpostavimo da imamo niz od m adresnih signala:

$$a_{m-1} a_{m-2} \dots a_1 a_0, a_i \in \{0, 1\}, i = 0, 1, \dots, m-1$$

Dodeljivanjem vrednosti 0 ili 1 svakom adresnom signalu dobijamo kombinacije adresnih signala koje nazivamo adrese. Očigledno je da od m adresnih signala možemo dobiti ukupno 2^m različitih adresa.

Pošto je adresa niz od m nula (0) ili jedinica (1), adresu možemo interpretirati i kao binarni broj koji ima svoju vrednost za koji kažemo da predstavlja vrednost adrese. Vrednost adrese možemo izraziti u binarnom, decimalnom ili heksadecimalnom brojnom sistemu.

Adresni prostor A je uređeni niz adresa koje su poredane po svojoj rastućoj ili opadajućoj vrednosti. U sledećoj tabeli dat je primer adresnog prostora koji je dobijen od tri adresna signala, $a_2 a_1 a_0$.

adrese			vrednost adrese		
a_2	a_1	a_0	binarno	decimalno	heksadecimalno
0	0	0	000	0	0
0	0	1	001	1	1
0	1	0	010	2	2
0	1	1	011	3	3
1	0	0	100	4	4
1	0	1	101	5	5
1	1	0	110	6	6
1	1	1	111	7	7

Veličina adresnog prostora jednaka je ukupnom broju različitih adresa koje mogu da se dobiju (generišu) sa datim brojem adresnih signala. Na primer, veličina adresnog prostora mikroprocesora sa m adresnih signala jednaka je 2^m . Očigledno je da dati niz adresnih signala ima tačno određenu veličinu adresnog prostora, a isto tako za zadatu veličinu adresnog prostora može se odrediti niz adresnih signala koji generišu taj adresni prostor.

Memorijska lokacija je uređeni par (a, p) pri čemu je a adresa od m bita, a p niz od n bita koji predstavlja bitove u memorijskoj lokaciji. Memorijski prostor je niz parova (a, p) koji su poredani po rastućoj ili opadajućoj vrednosti adresa a .

Organizacija memorijskog prostora je uređeni par $(2^m, n)$ i često se piše u obliku $(2^m \times n)$. Kapacitet memorijskog prostora jednak je proizvodu $(2^m \cdot n)$ i izražava se u bitima, bajtovima ili rečima. Na primer, mikroprocesor sa 20 adresnih linija i 8 linija za podatke ima memorijski prostor od $(1M \times 8)$ bita ili $1MB$.

Za dve adrese a i b kažemo da su susedne ako se njihove vrednosti razlikuju za 1. Adresa b prethodi adresi a ako je vrednost adrese b za 1 manja od vrednosti adrese a . Adresa b sledi posle adrese a (b je naredna adresa posle adrese a) ako je vrednost adrese b za 1 veća od vrednosti adrese a .

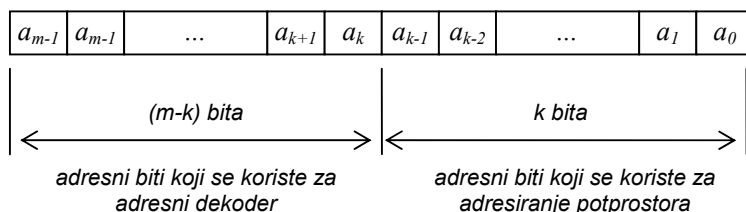
Adresni potprostor

Adresni potprostor B je bilo koji odsečak adresnog prostora A . Adresni potprostor jednoznačno je određen svojom početnom i krajnjom adresom, odnosno početnom adresom i kapacitetom. Ako adresnom prostoru A odgovara niz od m adresnih signala, a adresnom potprostoru B niz od k adresnih signala, onda važi da je $m \geq k$ (znak jednakosti važi samo ako je potprostor B jednak prostoru A).

Za adresni potprostor B (sa adresnim signalima $a_{k-1} a_{k-2} \dots a_1 a_0$) kažemo da je poravnat sa adresnim prostorom A (sa adresnim signalima $a_{m-1} a_{m-2} \dots a_1 a_0$) ako važi:

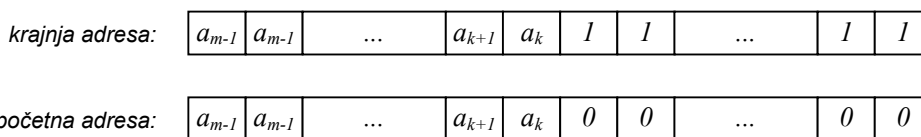
$$a_{m-1} a_{m-2} \dots a_{k+1} a_k = \text{const.}$$

Kod poravnatog adresnog potprostora adresne signale adresnog prostora možemo podeliti na dva podniza:



Kod poravnatog adresnog potprostora, podniz od k manje značajnih signala adrese koristi se za adresiranje potprostora, a značajnijih $(m-k)$ adresnih signala koriste se za adresni dekodier.

Početna i krajnja adresa poravnatog adresnog potprostora dobijaju se na jednostavan način: početna adresa dobija se kada se u podnizu od k manje značajnih signala adrese stave sve 0, a krajnja adresa kada se u podnizu od k manje značajnih signala adrese stave sve 1. Prema tome, početna i krajnja adresa potprostora prikazane su na sledećoj slici.

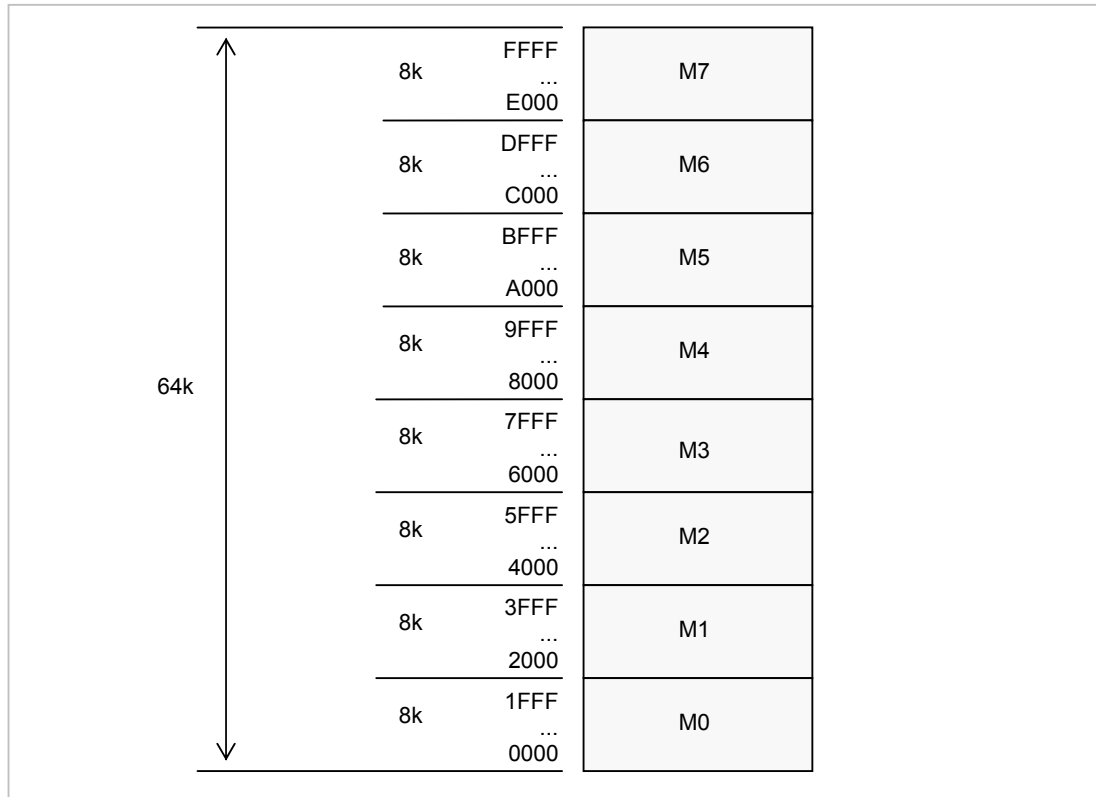


Od praktičnog interesa su adresni potprostori sa sledećim osobinama:

- Adresni potprostor je kontinualan (nema prekida u nizu vrednosti adresa),
- Kapacitet adresnog potprostora je stepen broja 2,
- Početna adresa adresnog prostora je poravnata.
- Ako ih ima više, adresni potprostori nemaju međusobnog preklapanja.

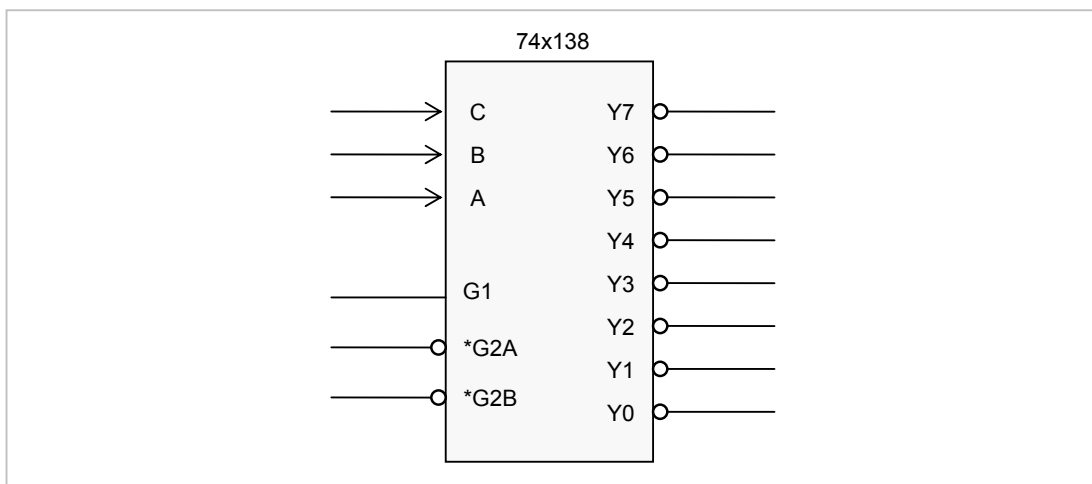
- Ako ih ima više, adresni potprostori su iste veličine.

Kao jednostavan primer uzmimo adresni prostor od 64k i adresne potprostore od 8k. Na sledećoj slici prikazano je 8 adresnih potprostora, *M0* do *M7* i njihove početne i krajnje adrese.



Adresni dekoderi

Adresni dekoderi su kombinacione logičke mreže koje se koriste za generisanje signala za aktiviranje memorijskih integrisanih kola čije su memorijske lokacije smeštene u zadati adresni potprostor. Kao primer dekodera u ovom odeljku ukratko je opisan 3/8 dekodер 74x138. Na sledećoj slici dat je grafički simblog dekodera 74x138.



Opreacije 3/8 dekodera 74x138 opisuje sledeća funkcionalna tablica.

Ulazi						Izlazi							
Signali dozvole			Selekcioni signali			Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	x	x	x	x	x	1	1	1	1	1	1	1	1
x	1	x	x	x	x	1	1	1	1	1	1	1	1
x	x	1	x	x	x	1	1	1	1	1	1	1	1
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	0	1	1	1	1	1	1	0	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

Projektovanje adresnih dekodera

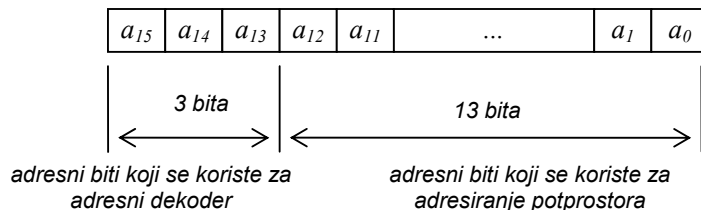
Projektovanje memorijske jedinice obuhvata:

- raspodelu memorijskog prostora,
- projektovanje adresnih dekodera
- proveru vremenskih dijagrama.

Raspodelu memorijskog prostora projektant pravi na osnovu zadate specifikacije i parametara, kao što su vrste operacija koje se obavljaju nad memorijskim modulima (na primer, upis i čitanje), veličina memorijskog prostora u modulima, tehnološki parametri modula (brzina, mogućnost upisa, osvežavanje sadržaja) i slično.

U ovom odeljku razmotrićemo projektovanje adresnih dekodera za zadatu raspodelu adresnog prostora. Radi jednostavnosti smatraćemo da se memorijska jedinica imlementira primenom memorijskih modula (integranih kola) istog kapaciteta.

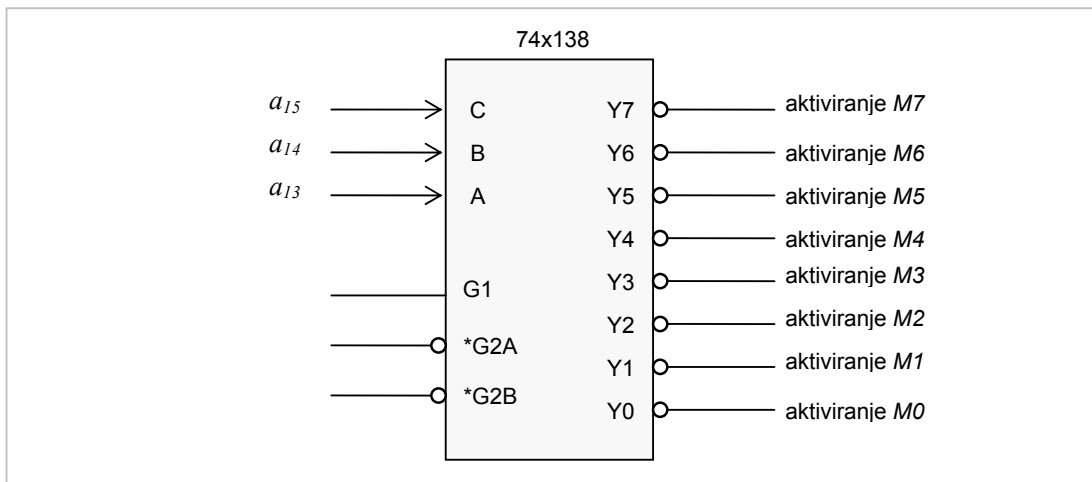
Projektovanje adresnih dekodera započinje određivanjem adresnih potprostora za svaki memorijski modul. Kao primer, uzmimo da treba projektovati memorijsku jedinicu kapaciteta 64kB od memorijskih modula kapaciteta 8kB. U ovom slučaju format adrese ima sledeći izgled:



U ovom primeru, u primeru iz prethodnog odeljka, adresni potprostori za module $M0$ do $M7$ dati su sledećom tabelom.

Modul	Adresni signali								opseg adresa
	a_{15} 5	a_{14}	a_{13} 3	a_{12}	a_{11} 1	...	a_1	a_0	
$M7$	1	1	1	1	1	1	1	1	F F F F ... E 0 0 0
$M6$	1	1	0	1	1	1	1	1	D F F F ... C 0 0 0
$M5$	1	0	1	1	1	1	1	1	B F F F ... A 0 0 0
$M4$	1	0	0	1	1	1	1	1	9 F F F ... 8 0 0 0
$M3$	0	1	1	1	1	1	1	1	7 F F F ... 6 0 0 0
$M2$	0	1	0	1	1	1	1	1	5 F F F ... 4 0 0 0
$M1$	0	0	1	1	1	1	1	1	3 F F F ... 2 0 0 0
$M0$	0	0	0	1	1	1	1	1	1 F F F ... 0 0 0 0

Za dekodiranje adresnih signala a_{15} , a_{14} i a_{13} koristimo adresni dekodер 3/8, koji na svojim izlazima generiše 8 signala za aktiviranje memorijskih modula $M0$ do $M7$, kao što pokazuje sledeća slika.

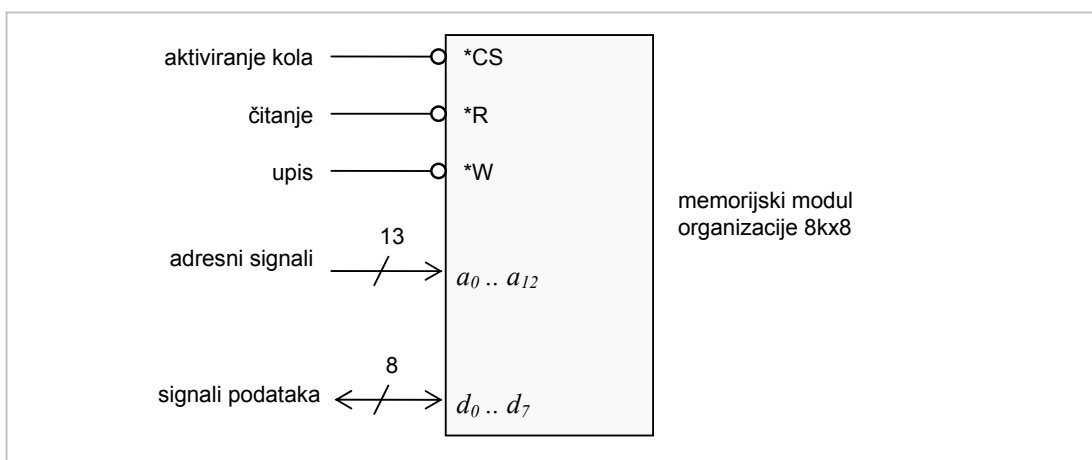


Svaki od izlaznih signala dekodera vodi se na ulaz za aktiviranje pojedinih memorijskih modula.

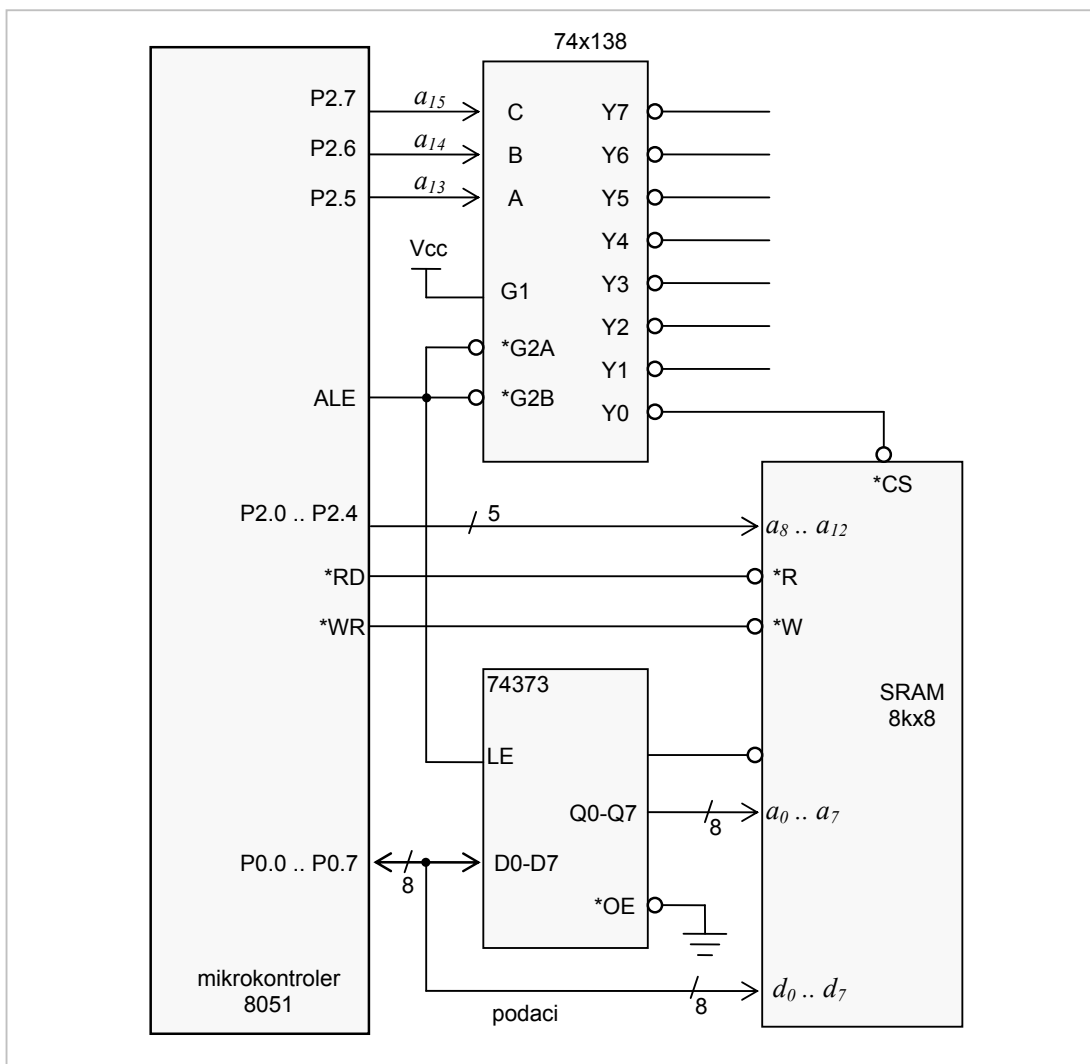
Projektovanje jednostavne memorijske jedinice

Radi jednostavnosti, uzmimo da treba projektovati mikroračunarski sistem kod koga je memorijski modul tipa SRAM organizacije $8k \times 8$ smešten u potprostoru koji se nalazi na dnu adresnog prostora mikrokontrolera 8051.

Prvi korak u projektovanju memorijske jedinice je analiza memorijskih modula koji su na raspolaganju, pre svega analiza spoljnih signala i vremenskih dijagrama. U principu, organizacija memorijskog prostora određuje tipične signale memorijskog modula. Na primer, SRAM organizacije $8k \times 8$ ima spoljne signale koji su prikazani na sledećoj slici.



Kompletan mikroračunarski sistem sa mikrokontrolerom, memorijskim modulom organizacije $8k \times 8$, koji se nalazi na dnu adresnog prostora, baferom za demultipleksiranje adresnih signala i adresnim dekoderom prikazan je na sledećoj slici.



Dodati sledeće teme:

1. Projektovanje adresnih dekodera za delimično zauzeti adresni prostor. Na primer, slučaj kada postoji samo jedan ili nekoliko memorijskih modula. Primena programabilnih kola PAL i PLA u realizaciji adresnih dekodera.
2. Projektovanje adresnih dekodera za memorijske module koji međusobno imaju različiti kapacitet. Na primer mogu se dva ili više signala dekodre dovesti na ILI kolo.
3. Memorijski prostor je **manji** od zauzetog adresnog prostora: uporediti bitove za adresni dekodrer i eliminisati signale koji se međusobno razlikuju. Objasniti da se u ovom slučaju pojednostavljaju adresni dekoderi, ali se zauzima veći adresni prostor. Granični slučajevi: jedan ili ni jedan adresni signal za adresni dekodrer.