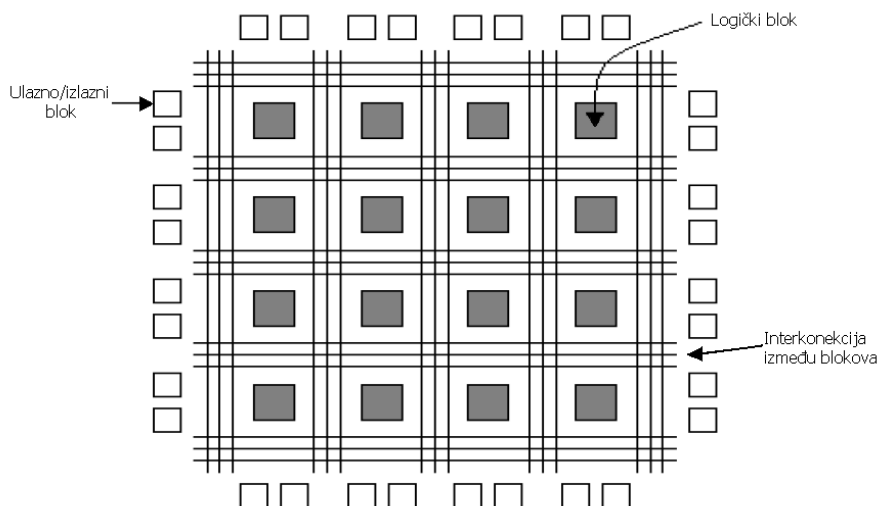


FPGA kola

Razvoj programabilnih logičkih kola počeo je sa logičkim kolima tipa PLA (*programmable logic array*) i PAL (*programmable array of logic*) koji se sastoje od "I" i "ILI" matrice. Sledeći korak u razvoju su bila PLD (*programmable logic devices*) i CPLD (*complex programmable logic devices*) koji takođe imaju formu matrice, koja je popunjena logičkim blokovima, koji mogu obavljati logičke funkcije i koji se na relativno jednostavan način mogu reprogramirati (rekonfigurisati).

FPGA (*Field Programmable Gate Array*) kola se sastoje od programabilnih logičkih blokova, programabilnih veza i memorije. Nabrojani elementi su najčešće raspoređeni u formu matrice, logički blokovi su raspoređeni u vrste i kolone matrice dok su kanali kojima se vrši interkonekcija pojedinih logičkih blokova postavljeni između njih, vertikalno i horizontalno, a cela struktura je oivičena ulazno–izlaznim blokovima (**slika 1**). Pored navedene strukture sreću se još i hijerarhijski strukturirana FPGA kola i FPGA kola kod kojih su logički blokovi raspoređeni isključivo u kolone (takozvana *row-based* arhitektura).

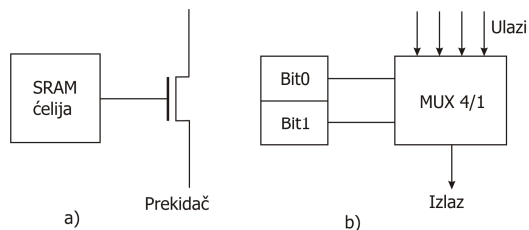


Slika 1. Tipična struktura FPGA kola

Logički blokovi u FPGA kolima su realizovani na različite načine, zavisno od proizvođača. Sastoje se od dela koji obezbeđuje kombinacionu mrežu i dela koji obezbeđuje sekvencijalnu mrežu. Kombinaciona mreža, u zavisnosti od proizvođača, sastoji se od multipleksera, višeulaznih logičkih kola ili je izvedena u obliku look-up tabele – memorijske oblasti širine jednog bita sa n ulaza koja raspolaže sa 2^n memorijskih mesta i može realizovati bilo koju logičku funkciju programiranjem tabele istinitosti. Sekvencijalni deo logičkog bloka se sastoji od lečeva ili flip-floпова koji omogućavaju memorisanje podataka koji se dobijaju na izlazu iz sekvencijalne mreže ili taktovanje izlaznog signala.

Programabilnost FPGA kola se ostvaruje na nekoliko načina:

1. pomoću statičkih RAM ćelija koje kontrolišu gejt mosfeta (**slika 2a**) ili pomoću dve (ili više SRAM ćelija) koje se koriste kao selekcionni ulazi na multiplekserima (**slika 2b**)
2. pomoću anti-osigurača (*anti-fuse*) – anti-osigurač je elemenat sa dva kraja koji u neprogramiranom stanju ima veliku otpornost između svojih krajeva (teorijski beskonačnu), programiranje se vrši "spaljivanjem" kojim se postiže kratak spoj između krajeva (otud naziv anti-osigurač – ponaša se suprotno od osigurača)

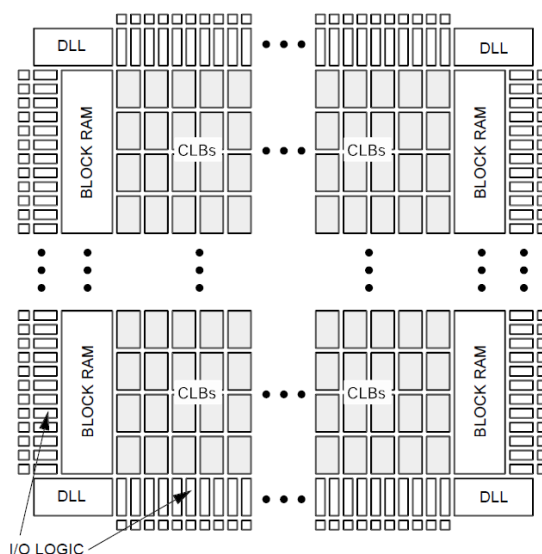


Slika 2. Programiranje pomoću statičkog RAM-a; a) SRAM ćelija koja kontroliše gejt MOSFET-a; b) dve SRAM ćelije na selekcionim ulazima multipleksa 4/1

Struktura FPGA kola Xilinx Spartan 2E

U radu na vežbama biće korišćena je razvojna okruženja Digilent D2SB i D2E koja sadrže FPGA kolo Spartan2E koje proizvodi Xilinx. Spartan2E radi na naponu napajanja od 1,8V i na frekvenciji od 200 MHz. Arhitektura FPGA kola Spartan2E se sastoji od pet vrsta programabilnih blokova:

- ulazno-izlazni blokovi (*input/output blocks – IOB*)
- konfigurabilni logički blokovi (*configurable logic blocks – CLB*)
- blok RAM memorija
- kola za podešavanje kašnjenja takt signala (*delay locked loop – DLL*)
- kola za interkonekciju i rutiranje



Slika 3. Unutrašnja struktura FPGA kola Spartan2E

Raspored navedenih blokova prikazan je na **slici 3**. Konfigurabilni logički blokovi zauzimaju središnji deo strukture, ulazno-izlazni blokovi su raspoređeni po ivici strukture, četiri kola za podešavanje kašnjenja takt signala se nalaze u uglovima strukture, blok RAM memorija zauzima deo između ulazno-izlaznih blokova i programabilnih logičkih blokova.

Ulazno-izlazni blokovi (IOB)

Ulazno-izlazni blokovi su realizovani na dva načina kao D flip-flopovi koji se aktiviraju na tranziciju takt signala (*edge-triggered flip-flop*) ili kao lečevi osetljivi na promenu naponskog nivoa signala. Podržavaju veliki broj standarda za prenos podataka sa odgovarajućim naponima napajanja i prekidačkim karakteristikama:

- za napone napajanja od 3,3V podržani su: PCI, LVTTTL, SSTL3 I, SSTL3 II, CTT, AGP, LVPECL, GTL, GTL+
- za napone napajanja od 2,5V podržani su: SSTL2 I, SSTL2 II, LVCMOS2, LVDS, BusLVDS, GTL, GTL+
- za napone napajanja od 1,8V podržani su: LVCMOS18, GTL, GTL+
- za napone napajanja od 1,5V podržani su: HSTL I, HSTL III, HSTL IV, GTL, GTL+

Svi ulazno-izlazni blokovi podržavaju IEEE 1149.1 standard (JTAG interfejs)

Konfigurabilni logički blokovi (CLB)

Predstavljaju osnovnu gradivnu jedinicu FPGA kola Spartan2E. Konfigurabilni logički blokovi sadrže:

- četvoroulazne generatore logičkih funkcija realizovanih pomoću look-up tabela
- aritmetičku i kontrolnu logiku (*carry and control logic*)
- memorijske elemente

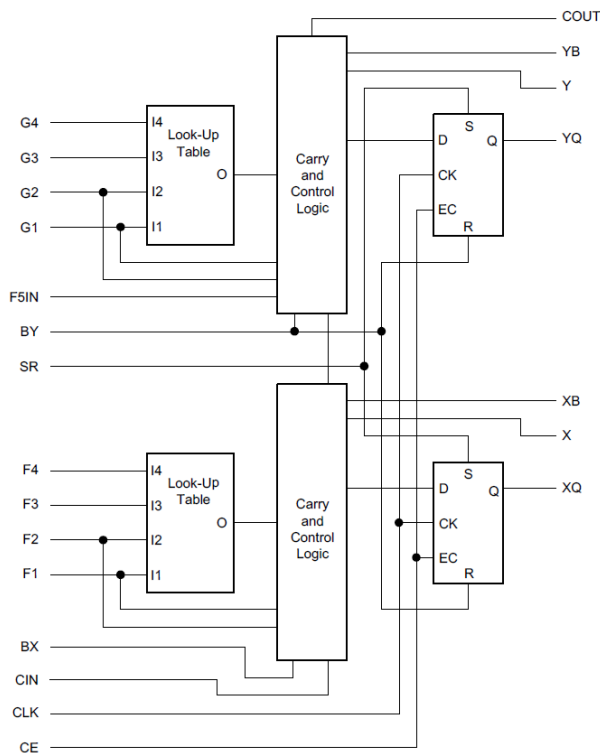
Generator logičkih funkcija je realizovan pomoću četvoroulazne look-up tabele. Pored formiranja logičke funkcije look-up tabela se može iskoristiti i kao 16x1 bitna sinhrona RAM memorija ili se mogu kombinovati dve look-up tabele iz susednih logičkih blokova koje zajedno formiraju 16x2 bitnu ili 32x1 bitnu RAM memoriju. Look-up tabela takođe može da se koristi i kao 16-tobitni pomerački registar koji se može koristiti u raznim aplikacijama koje zahtevaju brz prihvatanje podataka, tipičan primer je digitalna obrada signala.

Aritmetička i kontrolna logika obezbeđuje implementiranje aritmetičkih operacija. Sadrži logičko EX-ILI kolo koje omogućava implementiranje jednobitnog potpunog sabirača, dok dodatna logička I kola ubrzavaju operaciju množenja.

Memorijski elementi u logičkom bloku su izvedeni kao D flip-flopovi koji se aktiviraju na tranziciju takt signala (*edge-triggered flip-flop*) ili kao lečevi osetljivi na promenu naponskog nivoa signala. Ulazi memorijskih elemenata se dovode ili iz generatora logičkih funkcija ili direktno sa ulaza u logički blok. Memorijski elementi se pomoću dodatnih signala mogu konfigurisati da rade sinhrono ili asinhrono u zavisnosti od aplikacije.

Dodatna logika (**slika 4** - signal F5IN) omogućava kombinovanje više susednih logičkih blokova zajedno da bi se dobile različite varijante kombinacionih mreža

(petoulazni generator logičkih funkcija, multiplexer 4/1, šestoulazni generator logičkih funkcija, multiplexer 8/1 i dr.).



Slika 4. Struktura programabilnog logičkog bloka (CLB), prikazane su dve identične ćelije sa dodatnim signalima koji su zajednički za obe

Takođe, treba napomenuti da svaki logički blok sadrži i dva 3-state drajvera (BUFT) koji omogućavaju priključivanje odgovarajućeg logičkog bloka na magistralu unutar FPGA kola.

Blok RAM memorija

Sastavni deo Spartan2E arhitekture je nekoliko većih blokova RAM memorije. RAM memorija se koristi kao dodatak distribuiranoj RAM memoriji unutar look-up tabela. Blok RAM memorija je organizovana u kolone. Većina tipova Spartan2E programabilnih kola sadrži dve kolone blok RAM memorije, po jednu duž obe vertikalne ivice čipa. Svaka ćelija blok RAM memorije je visine četiri konfigurabilna logička bloka, tako da u odnosu na broj logičkih blokova se dobija ukupan broj ćelija blok RAM memorije. Svaka ćelija blok RAM memorije je sinhrona, veličine 4096 bita i sadrži dva porta kojima se može nezavisno pristupati. Širina podataka (broj bita koji sadrže podaci) na portovima određuje se programski.

Kola za podešavanje kašnjenja takt signala (DLL)

Povezana su sa svim ulazima za takt signal i osnovna im je namena da eliminišu kašnjenje između priključka za takt signal na kućištu i priključka za takt signal koji se nalazi unutar kola. Kolo za podešavanje kašnjenja prati takt signal na ulazu kola i

automatski podešava kašnjenje takt signala, u slučaju da je potrebno ubacuje se dodatno kašnjenje da bi aktivna ivica takt signala stigla u sve elemente FPGA kola u istom vremenskom trenutku.

Interkonekcija i rutiranje

Interkonekcija i rutiranje podrazumevaju povezivanje odgovarajućih blokova, unutar programabilnog kola, u cilju ostvarivanja željene funkcije. S obzirom na to da linija sa najvećim kašnjenjem ograničava brzinu rada celog kola, kod Spartan2E programabilnih kola, da bi se redukovali problemi sa kašnjenjem signala, rutiranje između blokova je izvedeno na više nivoa:

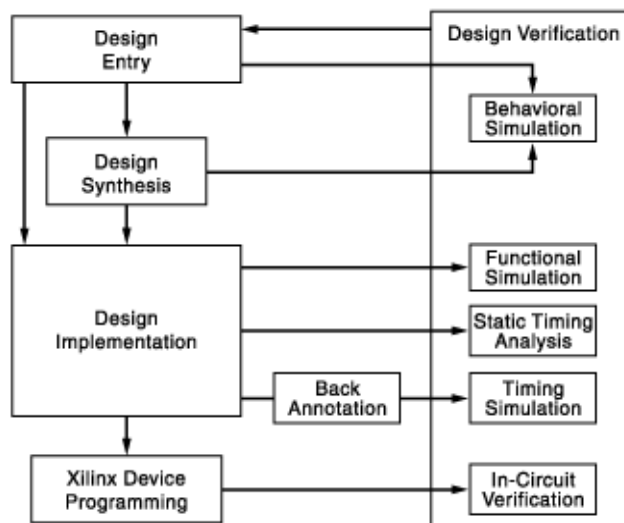
- lokalno rutiranje – obuhvata rutiranje unutar samih programabilnih blokova, povratne putanje unutar blokova i direktne putanje koje obezbeđuju najveću brzinu
- rutiranje opšte namene – većina signala se rutira na ovaj način, elementi pomoću kojih se vrši rutiranje su: matrice za rutiranje (sadrže prekidače kojima se odgovarajući deo spaja na linije) i tri vrste linija koje služe za spajanje logičkih blokova (kratke linije – do susednog logičkog bloka; linije srednje dužine – obuhvataju šest okolnih blokova; duge linije – prostiru se duž celog čipa); elementi za rutiranje su postavljeni vertikalno i horizontalno duž programabilnih logičkih blokova
- ulazno-izlazno rutiranje – obuhvata rutiranje između programabilnih logičkih blokova i ulazno-izlaznih blokova
- specijalno rutiranje – koristi se za specijalne signale koji su kritični zbog vremena kašnjenja; omogućavaju ga dve vrste elemenata, četiri magistrale koje se prostiru duž svake kolone sa programabilnim logičkim blokovima i mreže linija koje prenose signale između susednih logičkih blokova
- globalno rutiranje – podrazumeva rutiranje takt signala i ostalih signala koji se prostiru duž celog čipa; elementi pomoću kojih se obavlja globalno rutiranje su četiri specijalne mreže za distribuciju takt signala, spojene sa ulazima FPGA kola, dizajnirane za prostiranje signala duž celog čipa sa minimalnim kašnjenjem i sekundarna mreža koja se sastoji od 24 linije koje su fleksibilnije i omogućavaju distribuciju ostalih signala.

Postupak projektovanja sa FPGA kolima

Do sada je razmatrana struktura FPGA kola, pa ćemo se u ovom poglavlju osvrnuti na postupak projektovanja FPGA kola, kao i alate koji se koriste prilikom projektovanja.

Za potrebe projektovanja ćemo koristiti programski paket Xilinx Foundation ISE 9.2i. Osim integrisanog simulatora (ISEsimulator) unutar ovog paketa, može se koristiti i paket Mentor Graphics-ov ModelSim koji služi za simulaciju. Ova dva programska paketa su međusobno povezani i zajedno predstavljaju kompletan sistema za projektovanje i simulaciju digitalnih sistema u FPGA kolima.

Celokupan postupak projektovanja digitalnih sistema primenom FPGA kolima prikazan je na **slici 5**.



Slika 5. Pojedini koraci pri projektovanju sa FPGA komponentama

Prvo je potrebno napisati VHDL program koji opisuje ponašanje digitalnog sistema koji projektujemo (*Design Entry*). Pre implementacije se obično kombinuju procesi sinteze i funkcionalne simulacije (*Behavioral Simulation*) koji predstavljaju metode funkcionalne verifikacije ispravnosti rada sistema. Ukoliko se dobiju rezultati prema očekivanju sledeći korak je implementacija dizajna. Nakon implementacije se može opet vršiti simulacija – funkcionalna ili vremenska. Vremenska simulacija predstavlja najprecizniji način verifikacije ispravnosti rada sistema.

Poslednji korak predstavlja programiranje (ili konfigurisanje) FPGA kola, čime ono dobija željenu funkcionalnost. Nakon ovoga postoji mogućnost interne verifikacije unutar FPGA kola, koja podrazumeva . Mi ćemo verifikovati ispravnost rada sistema na osnovu rezultata rada sa periferijama (prekidači, LED, sedmosegmentni displeji itd.)

Prema **slici 5**, u okviru računarskih vežbi radićemo sledeće:

- 1) Kreiranje novog projekta u Xilinx programskom paketu
- 2) Dopuna dobijenih kostura programa da bi imali funkcionalnost koju očekujemo
- 3) Pregled sintetizovanog digitalnog sistema u šematskom obliku
- 4) Dodavanje projektu odgovarajućih programa za potrebe simulacije i njegova dopuna u cilju generisanja ulaznih signala.
- 5) Funkcionalna simulacija digitalnog sistema
- 6) Implementacija digitalnog sistema
- 7) Post-implementaciona simulacija
- 8) Programiranje FPGA kola na maketi
- 9) Provera rada kola na maketi