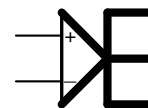


**FAKULTET TEHNIČKIH NAUKA
INSTITUT ZA ENERGETIKU, ELEKTRONIKU I TELEKOMUNIKACIJE
KATEDRA ZA ELEKTRONIKU
NOVI SAD
TRG DOSITEJA OBRADOVIĆA 6**



**(021) 459-449
kel@uns.ns.ac.yu**

UPUTSTVO ZA KORIŠĆENJE EKSPANZIONE PLOČE KPGS-007

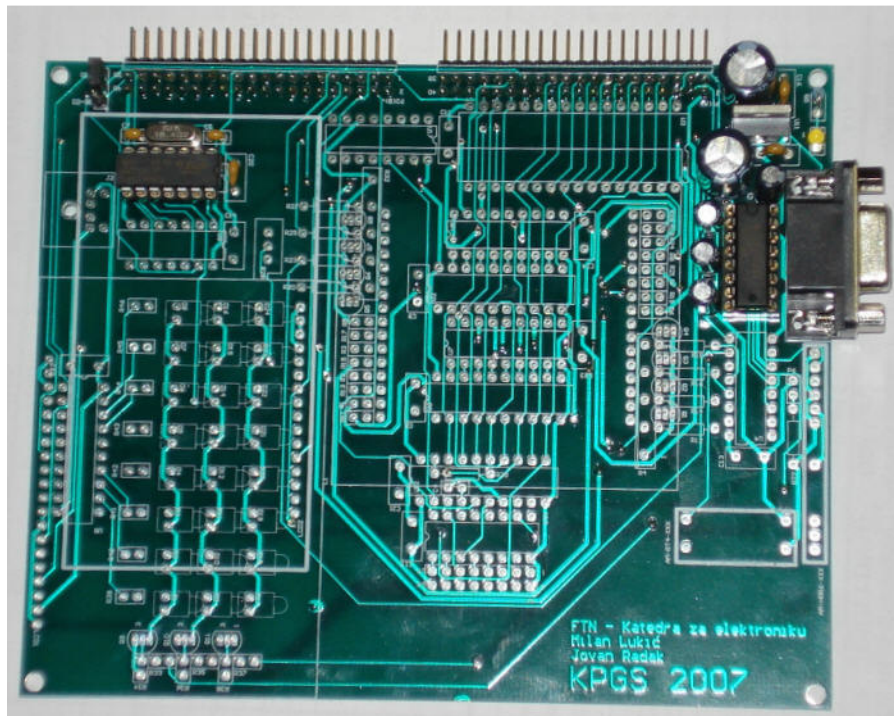
Milan Lukić

Novi Sad, 2007.

KPGS-007 je ekspanzionna ploča sa većim brojem perifernih uređaja, predviđena za priključenje na Xilinx Spartan 2E FPGA razvojne ploče *Digilent D2-SB* i *Digilab 2E*. Razvojna i ekspanzionna ploča zajedno predstavljaju fleksibilnu platformu za realizaciju raznovrsnih vežbi iz oblasti programabilnih digitalnih sistema zasnovanih na FPGA kolima. U ovom uputstvu biće opisan način povezivanja ekspanzione ploče sa obe varijante razvojne ploče, kao i upravljanje perifernim jedinicama koje se na njoj nalaze.

Periferni uređaji koji se nalaze na ploči su:

- Generator takt signala frekvencije 18.432MHz
- Interfejs za serijsku RS-232 komunikaciju
- PS/2 port
- 3 reda od po 8 LED dioda, u različitim bojama (crvena, žuta, zelena)
- SRAM memorija kapaciteta 128KB
- Matrični LED displej 8x8
- Konektor za tekstulani LCD displej (20x4 karaktera)
- Konektor za grafički LCD displej (128x64 pixela)
- Konektori za hibridni AM predajnik i prijemnik
- 8-bitni A/D konvertor sa osmokanalnim analognim multiplekserom.



Slika 1. Izgled ekspanzione ploče KPGS-007

POVEZIVANJE SA RAZVOJNIM PLOČAMA

Dva konektora sa po 2x40 pinova na ivici ekspanzione ploče služe za povezivanje s razvojnim pločama na kojima je FPGA čip. Povezivanje se vrši priključenjem ploče na ekspanzione konektore A1 i A2 na *D2-SB* ploči, odnosno na ekspanzione konektore A i B na *2E* ploči. U tabeli 1. dat je raspored signala na ovim konektorima.

P2 konektor (A2 na D2-SB, odnosno B na 2E)				P1 konektor (A1 na D2-SB, odnosno A na 2E)			
Pin #	Signal	FPGA pin		Pin #	Signal	FPGA pin	
		D2-SB	2E			D2-SB	2E
1	N.C. (not connected)	-	-	1	GND	-	-
2	N.C.	-	-	2	VU	-	-
3	N.C.	-	-	3	N.C.	-	-
4	–ADC_INT	p162	p194	4	TxD	p112	p68
5	PS2_CLK	p161	p193	5	RxD	p111	p64
6	LCD_RS	p160	p192	6	A15	p110	p63
7	PS2_CLK_DIR	p152	p191	7	–WR	p109	p62
8	LCD_RW	p151	p189	8	A16	p108	p61
9	PS2_DATA	p150	p188	9	A13	p102	p60
10	GLCD_RST	p149	p187	10	A14	p101	p59
11	*GCLK2	-	p185	11	A8	p100	p58
12	N.C.	-	-	12	A12	p99	p57
13	PS2_DATA_DIR	p146	p181	13	A9	p98	p56
14	N.C.	-	-	14	A7	p97	p55
15	N.C.	-	-	15	A11	p96	p49
16	N.C.	-	-	16	A6	p95	p48
17	N.C.	-	-	17	–RD	p94	p47
18	N.C.	-	-	18	A5	p93	p46
19	N.C.	-	-	19	A10	p89	p45
20	N.C.	-	-	20	A4	p181	p44
21	N.C.	-	-	21	D7	p87	p43
22	N.C.	-	-	22	A3	p180	p42
23	N.C.	-	-	23	D6	p179	p41
24	N.C.	-	-	24	A2	p178	p40
25	N.C.	-	-	25	D5	p176	p36
26	N.C.	-	-	26	A1	p175	p35
27	N.C.	-	-	27	D4	p174	p34
28	N.C.	-	-	28	A0	p173	p33
29	N.C.	-	-	29	D3	p169	p31
30	N.C.	-	-	30	D2	p168	p30
31	N.C.	-	-	31	S0	p167	p29
32	N.C.	-	-	32	D1	p166	p27
33	N.C.	-	-	33	S1	p165	p24
34	N.C.	-	-	34	D0	p164	p23
35	N.C.	-	-	35	S2	p163	p22
36	N.C.	-	-	36	N.C.	-	-
37	N.C.	-	-	37	N.C.	-	-
38	N.C.	-	-	38	N.C.	-	-
39	*GCLK1	p80	-	39	N.C.	-	-
40	GND	-	-	40	N.C.	-	-

* Ulazi za takt signal.

Tabela 1. Raspored signala na ekspanzionim konektorima

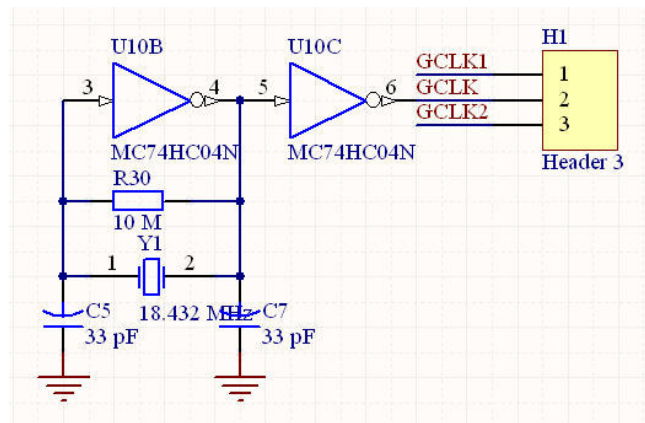
GENERATOR TAKT SIGNALA

Na ploči se nalazi oscilator koji generiše takt signal frekvencije od 18.432Mhz. Odabrana je baš ova učestanost zato što se njenim celobrojnim deljenjem dobijaju standardne brzine serijske komunikacije (*baud rate*). Ukoliko želimo da koristimo ovaj signal za taktovanje digitalnog sistema projektovanog na FPGA čipu, potrebno ga je dovesti na jedan od FPGA pinova koji su predviđeni za dovodenje eksternog takt signala (GCLK pinovi).

Takt signal se dovedi na različite GCLK pinove u zavisnosti od toga na koji tip razvojne ploče je priključena ekspanziona ploča:

- Kod D2-SB ploče na pin GCLK1 (p80). Ovaj pin FPGA kola je povezan sa pinom 39 konektora P2 na ekspanzionoj ploči.
- Kod 2E ploče na pin GCLK2 (p185). Ovaj pin FPGA kola je povezan sa pinom 11 konektora P2 na ekspanzionoj ploči.

U jednom trenutku se takt signal frekvencije 18.432MHz sa oscilatora vodi na samo jedan od dva pomenuta pina konektora P2 (pin 11 ili pin 39). Korisnik ima mogućnost da u zavisnosti od toga koju razvojnu FPGA ploču koristi, odabere na koji od ova dva pina će biti odveden takt signal premeštanjem džampera na konektoru H1.



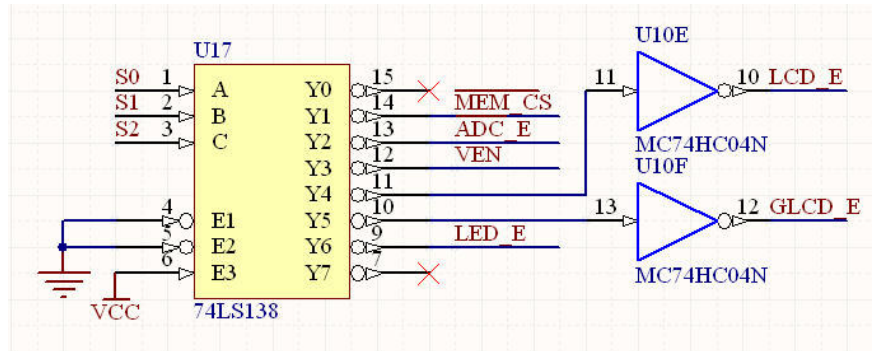
Slika 2. Generator takt signala frekvencije 18.432MHz

DEKODER ZA SELEKCIJU PERIFERIJSKOG UREĐAJA

Zbog ograničenog broja pinova na FPGA kolu sa kojim je povezana ekspanziona ploča, bilo je neophodno pribеći multipleksiranju određenog broja signala. Ovo se naročito odnosi na signale koji čine 17-bitnu adresnu magistralu (signali A0 do A16) kao i na signale koji čine 8-bitnu magistralu podataka (signali D0 do D7). Na ekspanzionoj ploči postoji veći broj uređaja koji su istovremeno povezani na ove magistrale i kod kojih je jedan broj upravljačkih signala takođe multipleksiran. Stoga, na ploči je realizovana dekoderska logika koja istovremeno aktivira samo jedan od uređaja čiji su signali multipleksirani, upotrebom *Chip select* signala koji pripada odgovarajućem uređaju. Na ovaj način se sprečava pojava konflikta na magistrali podataka, kao i neželjena promena stanja kod uređaja koji dele pojedine upravljačke signale. Ova prednost je ostvarena po

cenu nešto složenijeg upravljanja periferijama, pošto treba voditi računa i o tome da li je uređaj kojim se želi upravljati aktivan u datom trenutku.

Dekoderska logika za selekciju aktivnog uređaja realizovana je pomoću integrisanog dekodera 3/8 sa oznakom 74HC138 (slika 3). Ovim dekoderom se upravlja pomoću tri selekciona signala (S0, S1 i S2). U zavisnosti od kombinacije tih signala, aktivira se odgovarajuća periferija u skladu sa tabelom 2.



Slika 3. Dekoder za selekciju periferije

Kombinacija	S2	S1	S0	Aktivna periferija
0	0	0	0	-
1	0	0	1	SRAM 128K
2	0	1	0	A/D konvertor
3	0	1	1	Matrični LED displej
4	1	0	0	Tekstulani LCD displej
5	1	0	1	Grafički LCD displej
6	1	1	0	Led diode
7	1	1	1	-

Tabela 2. Način selekcije aktivne periferije pomoću signala S2, S1 i S0

INTERFEJS ZA SERIJSKU KOMUNIKACIJU

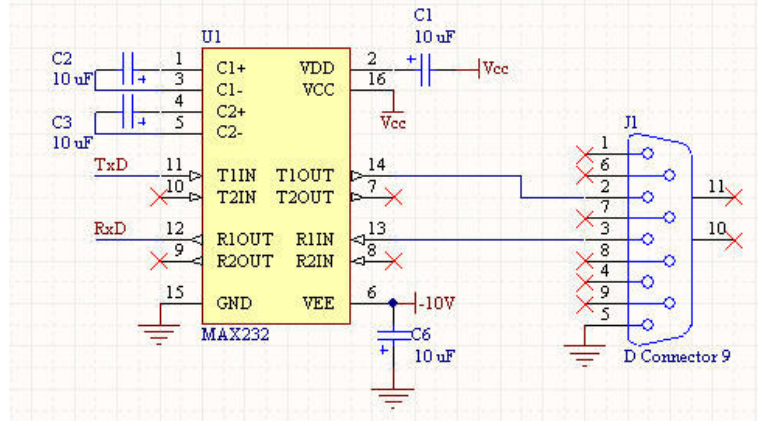
Interfejs za serijsku komunikaciju čine DB9 konektor i kolo za prilagođenje naponskih nivoa (MAX 232). Celokupna komunikacija se vrši preko dve linije i to:

- Linije za slanje podataka (Tx D) i
- Linije za prijem podataka (Rx D).

Ove dve linije se vode sa FPGA čipa i njihovi naponski nivoi su 3.3V za visok i 0V za nizak logički nivo. MAX 232 vrši konverziju pomenutih logičkih nivoa na standardne RS-232 logičke nivoe i to oko 10V za visok i oko -10V za nizak logički nivo. Komunikacija sa uređajem koji ima standardni serijski RS-232 port (npr. računar) je omogućena pruključivanjem na 9-pinski DB9 konektor kod kojeg se koriste samo 3 linije: linija za slanje, linija za prijem i masa.

Da bi serijska komunikacija uopšte bila moguća, potrebno je i da logika realizovana u FPGA kolu ima blok za serijsko slanje i prijem podataka. Ovakvi blokovi se nazivaju UART (Universal Asynchronous Receiver/Transmitter). Za taktovanje UART-a zgodno je

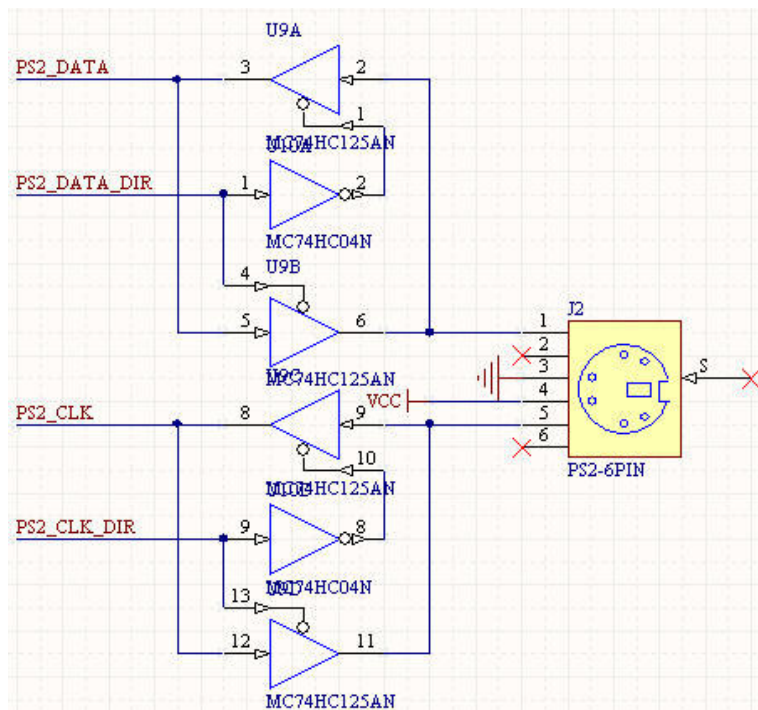
koristiti takt frekvencije 18.432MHz generisan na ekspanzionoj ploči, pošto se njegovim celobrojn timer deljenjem mogu postići standardne brzine serijske komunikacije (baud rate).



Slika 4. Interfejs za serijsku komunikaciju

PS/2 PORT

PS/2 port na ekspanzionoj ploči omogućava priključivanje miša ili tastature na istu. Postoje dva signala za komunikaciju sa priključenim uređajem, PS2_DATA i PS2_CLK. Tok ovih signala može biti od FPGA kola ka uređaju ili obrnuto i kontrolisan je signalima PS2_DATA_DIR i PS2_CLK_DIR. Kontrolni signali upravljaju tri-state buferima u inverznoj logici, čime je omogućeno istovremeno propuštanje signala u samo jednom smeru. Kada je kontrolni signal na logičkoj jedinici, smer signala je od uređaja ka FPGA kolu i obrnuto. Na slici 5 je data šema ove bidirekcione realizacije PS/2 porta.

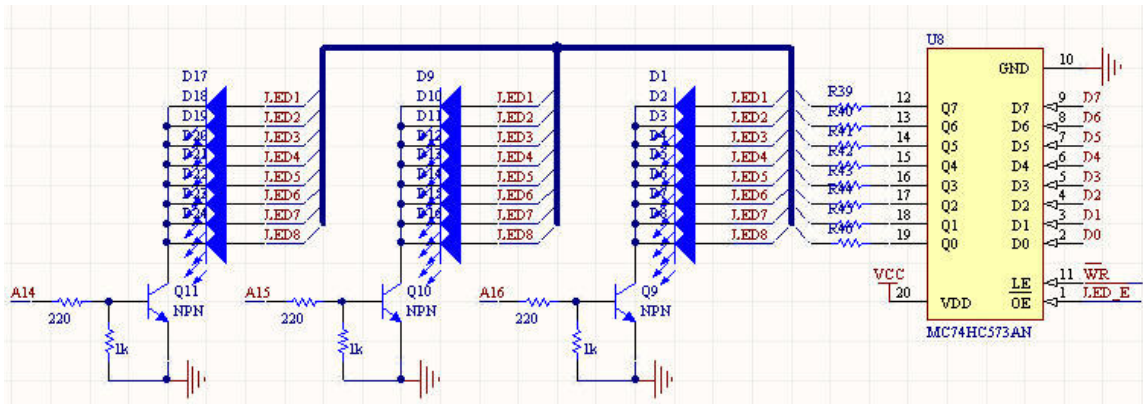


Slika 5. PS/2 port

LED DIODE

Tri reda LED dioda u različitim bojama (crvena, žuta i zelena) kontrolisana su od strane zajedničkog osmobaritnog leč kola 74HC573. Vrednost sa osmobaritne magistrale podataka (Linije D0 do D7) se upisuje u leč onda kada je $\neg WR$ linija na logičkoj jedinici. Da bi izlazi leč kola bili aktivni, potrebno je i da signal $\neg LED_E$ bude na aktivnom nivou, tj. na logičkoj nuli. Ovaj signal se aktivira kada se na dekodera za selekciju periferije dovede kombinacija selekcionih signala $S2=1, S1=1, S0=0$ (kombinacija 6 iz tabele 2).

Kada je aktivirano leč kolo i u njega upisana vrednost, potrebno je još aktivirati željeni red LED dioda uključivanjem odgovarajućeg tranzistora. Tranzistor koji aktivira crvene diode kontroliše se pomoću signala A14, žute pomoću A15 a zelene pomoću A16. Iako su na svaki izlaz leč kola vezane 3 diode različite boje, njima je moguće zasebno upravljati na taj način što će u svakom trenutku biti aktivan samo jedan od 3 tranzistora (tzv. vremensko multipleksiranje). Prednost ove metode je to što sahteva manje hardvera, budući da su sva 3 reda dioda kontrolisana istim leč kolom, ali po cenu složenijeg upravljanja, budući da je potrebno stalno "osvežavati" stanje na sva 3 reda dioda, ukoliko želimo da ih koristimo istovremeno.



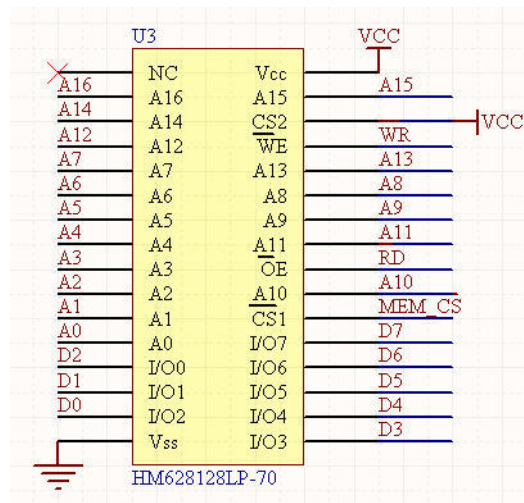
Slika 6. LED diode

RAM MEMORIJA

Memorijski čip kapaciteta HM628128LP-70 kapaciteta 128KB povezan je sa FPGA pločom preko sledećih linija:

- 17-bitna adresna magistrala (A16 do A0)
- 8-bitna magistrala podataka (D7 do D0)
- Linija za čitanje podataka iz memorije ($\neg RD$)
- Linija za upis podataka u memoriju ($\neg WR$)

Da bi operacije upisa ili čitanja podataka bile moguće, potrebno je prvo aktivirati memoriju dovodenjem signala $\neg MEM_CS$ na logičku nulu. To se postiže dovodenjem kombinacije selekcionih signala $S2=0, S1=1, S0=1$ (kombinacija 1 iz tabele 2) na dekodera za selekciju periferije.



Slika 7. RAM memorija