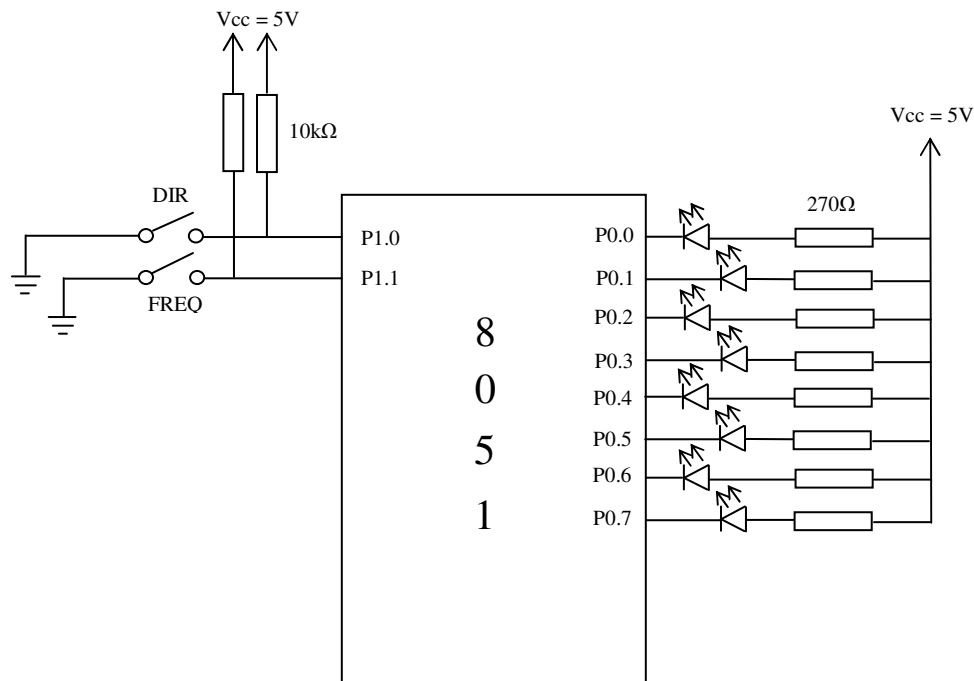


Vežba: projektovanje hardvera koji odgovara zadatom programu korišćenjem Xilinx ISE schematics editora

U vežbi br. 4 bilo je reči o načinima povezivanja perifernih uređaja na mikrokontroler 8051. Ovde će biti ponovo odrađen prvi primer iz te vežbe, s tim što je ovaj put cilj projektovanje hardvera koji odgovara gotovom programu. Stoga, prvo sledi podsećanje na primer iz vežbe 4:

Na mikrokontroler 8051, čija je frekvencija spoljašnjeg oscilatora 12MHz, povezan je niz od 8 LED dioda na portu P0. Na portu P1 se nalaze dva prekidača-jedan od njih (DIR) se nalazi na P1.0, a drugi (FREQ) na P1.1. Prekidač DIR određuje smer u kome će se rotirati uključene diode tako da se one rotiraju u desno kada je DIR u otvorenom položaju, odnosno u levo kada je DIR zatvoren. Prekidač FREQ određuje frekvenciju kojom će diode da se rotiraju. Kada je FREQ otvoren frekvencija obrtanja je 5Hz, dok je 0.5Hz kada je FREQ zatvoren. Mikrokontroler isprogramirati u assembleru.



Softversko rešenje:

```
F5      EQU      8          ; dodela vrednosti 8 simbolu F5
                          ; (označava da je na frekv.
                          ; 5Hz potrebno 8 prekida pre
                          ; promene stanja LED dioda)
F05     EQU      40         ; dodela vrednosti 40 simbolu F05
                          ; (označava da je na frekv. 0.5Hz
                          ; potrebno 40 prekida pre promene
                          ; stanja LED dioda)
DIR     BIT      P1.0       ; ulazno stanje prekidača DIR
FREQ    BIT      P1.1       ; ulazno stanje prekidača FREQ

DSEG                                ; naredni segment se odnosi na
                                ; interni RAM
ORG     20h                     ; naredni podaci se smestaju od
```

```

; adrese 20h unutar internog RAM-a
Diode:      DS      1      ; rezervisanje jednog bajta
; (biće na adresi 20h)
Count:      DS      1      ; rezervisanje jos jednog bajta
; (biće na adresi 21h)

CSEG        ; nastavak predstavlja programski kod
; i smeštaće se u programsku memoriju
ORG 0000H   ; program se smešta u programsku memoriju
; počev od adrese zadate sa ORG: 0h
JMP INICIJALIZACIJA

ORG 000BH   ; kao odgovor na prekid tajmera 0,
; skaće se na odresu 000Bh. Zato se
; naredna instrukcija mora naći na
; adresi 000Bh
JMP PREKID  ; skok na prekidnu rutinu

INICIJALIZACIJA:
MOV IE,#82H ; dozvola interapta
; prekoračenja Tajmera0
MOV TMOD,#01H ; tajmer 0 je 16-bitni
MOV TH0,#E7H ; početna vrednost
MOV TL0,#96H ; tajmer 0 je 9E58h
MOV R4,#1 ; R4 <- 1, R4 je pomoćni brojač
; za brojanje N2
MOV A,#3CH ; postavljanje početnog stanja dioda
MOV P0, A
MOV Diode, A ;sačuvaj sliku dioda u promenljivoj Diode
SETB TR0 ; start tajmera 0

MAIN: ; program se vrti u ovoj petlji
; (proverava prekidač FREQ) i čeka
; prekide
MOV A,#F5 ; Izbor frekvencije
JB FREQ,PostaviBrojac
MOV A,#F05
PostaviBrojac:
MOV Count,A
SJMP MAIN ; nazad u petlju

PREKID:
CLR TR0 ; Tajmer0 je potrebno zaustaviti
MOV TH0,#E7H ; početna vrednost
MOV TL0,#96H ; Timera0 je 9E58h
SETB TR0
DJNZ R4,Int_Kraj
MOV R4,Count ;ponovo napuni brojač u skladu sa FREQ
MOV A, Diode ;uzmi trenutnu sliku porta 0
JB DIR, Desno ;ako je DIR = 1 treba rotirati u desno
RL A ;u suprotnom u levo
SJMP Ispis

Desno:
RR A

Ispis:
MOV P0, A ;pošalji na port 0 novo stanje dioda
MOV Diode, A ;i sačuvaj to stanje kao trenutnu sliku

```

```

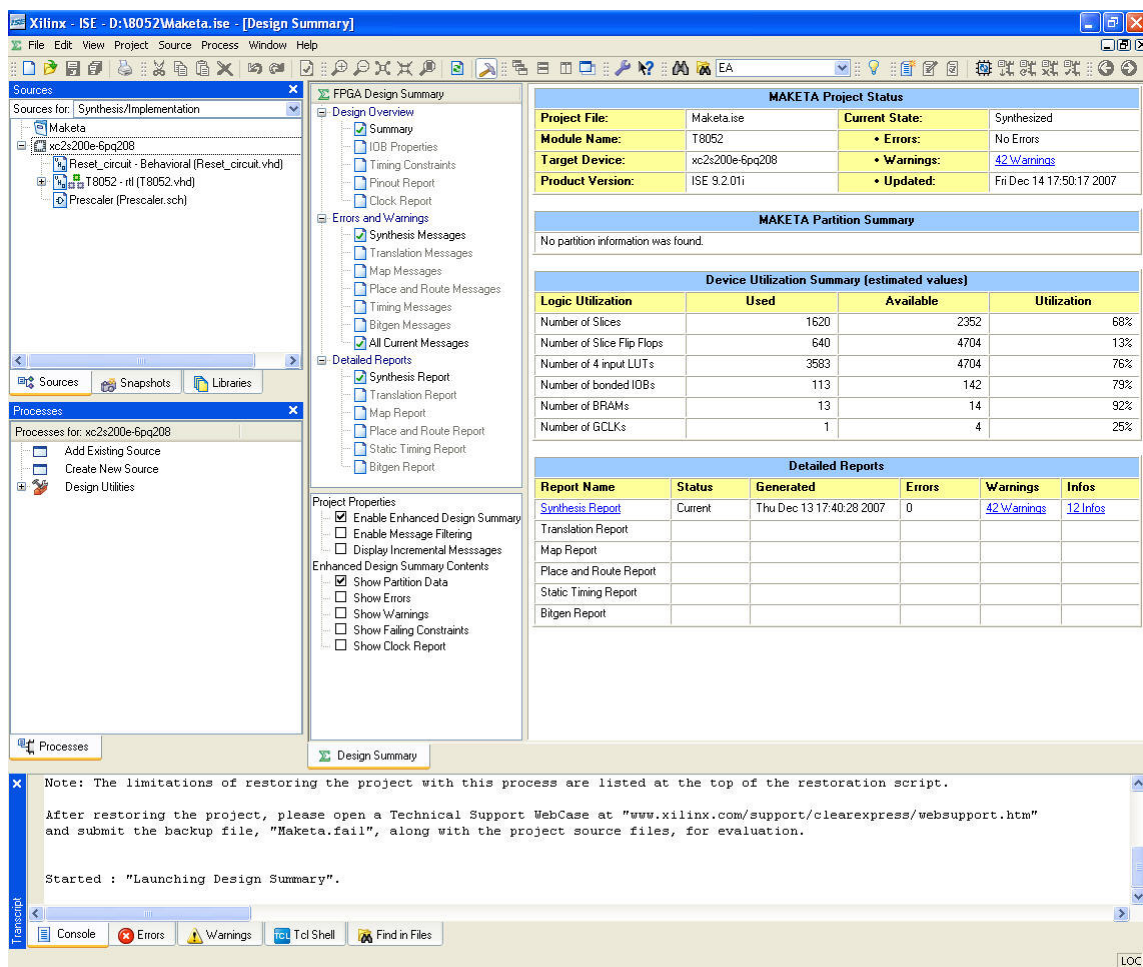
Int_Kraj:
    RETI                ;za sledeći prekid
END

```

Ono što dalje treba uraditi je provera funkcionalnosti programa u realnom hardverskom okruženju. U tu svrhu će se koristiti model mikrokontrolera 8052 implementiran na FPGA kolu i periferni uređaji koji se nalaze na ekspanzionoj pločici priključenoj na FPGA razvojnu ploču. Sam iskompajlirani kod programa (.hex fajl) će biti već uključen u model kontrolera. Znači, potrebno je proći sve korake u procesu projektovanja digitalnog sistema koji se bazira na FPGA kolu, što će biti ukratko opisano u daljem tekstu.

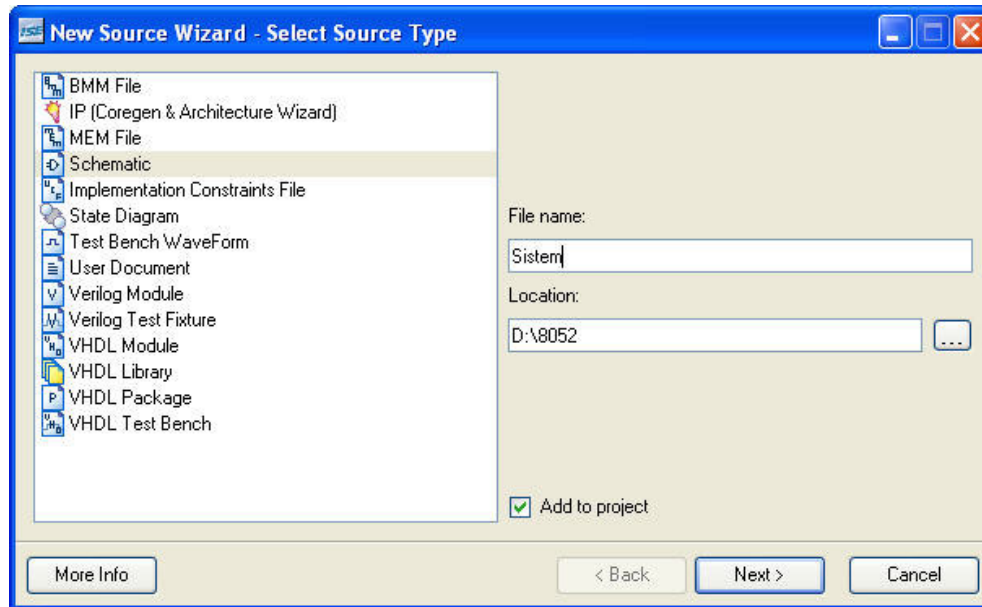
Za početak, potrebno je u novom folderu iskopirati i raspakovati projektne fajlove koji se nalaze na [sajtu katedre za elektroniku](#). Dvoklikom na fajl Maketa.isc pokreće se razvojno okruženje Xilinx ISE 9. Otvoreni projekat uključuje 3 komponente:

- Model kontrolera 8052
- Reset kolo
- Prescaler takta, koji deli frekvenciju oscilatora od 50MHz sa 4



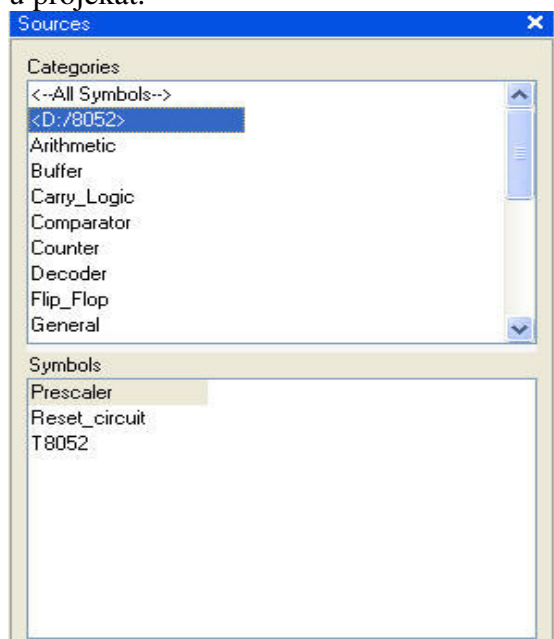
Slika 1. Izgled prozora programa Xilinx ISE 9 po otvaranju projekta Maketa.isc

Po otvaranju projekta, potrebno je dodati novi modul koji će u sebe uključiti pomenute komponente. Taj modul će biti realizovan šematski, korišćenjem tzv. *schematics editora*, koji je uključen u Xilinx ISE okruženje. Ovaj modul je potrebno podesiti kao glavni (top modul) u projektnoj hijerarhiji.

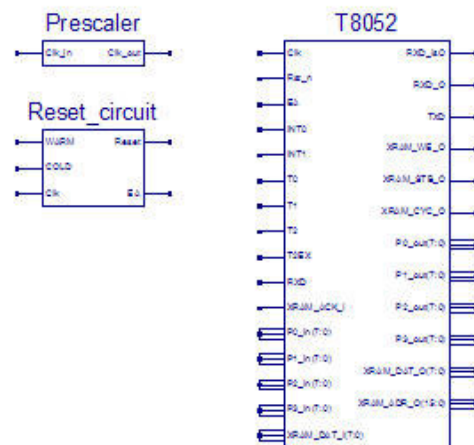


Slika 2. Otvaranje novog schematic modula

Schematics editor može da instancira komponente koje su neophodne za realizaciju sistema (model kontrolera, prescaler i reset kolo) pomoću simbola koji su već uključeni u projekat.

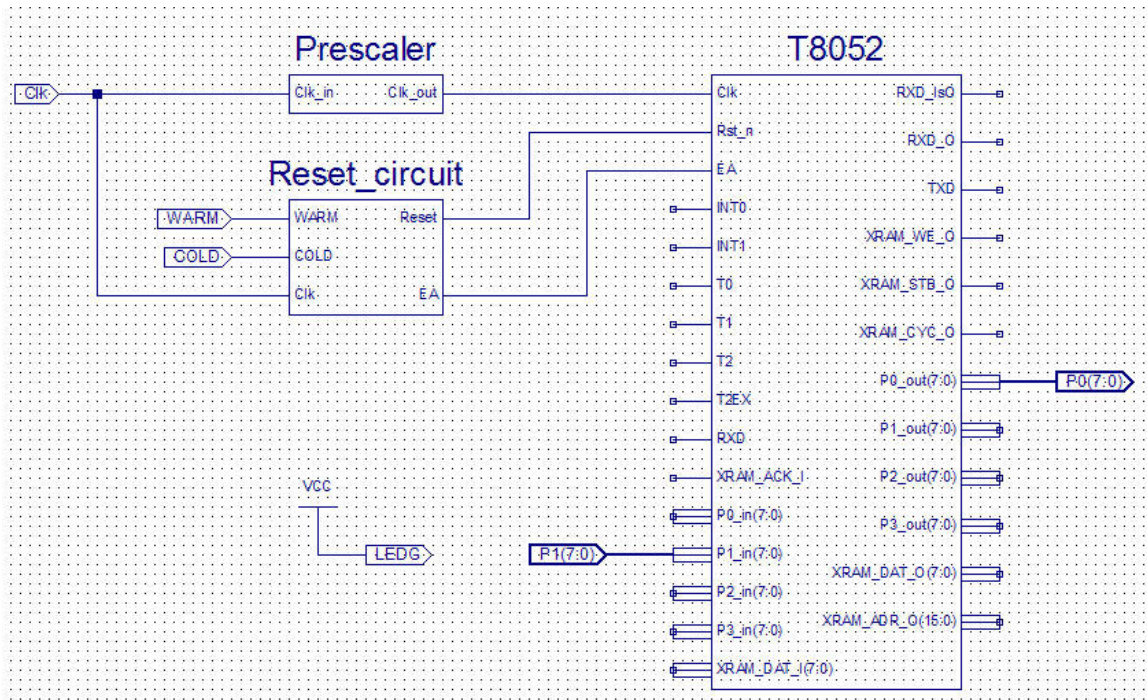


Slika3. Dodavanje komponenti



Slika 4. Šematski prikaz komponenti

Nakon dodavanja u glavni modul nazvan sistem.sch, komponente je potrebno povezati na način prikazan na slici 5:



Slika 5. Način povezivanja komponenti u okviru top modula

Sledeći korak je povezivanje portova realizovanog sistema sa pinovima na FPGA kolu i to na način opisan u prethodnoj vežbi (*Assign package pins*). Led diode koje se nalaze na DIO4 ekspanzionoj kartici se povezuju sa izlaznim linijama porta P0 (P0_out(7:0)). Potrebno je još i povezati najniža dva ulazna bita porta P1 (P1_in(0) i P1_in(1)) sa prekidačima (npr. SW1 i SW2), a linije za “hladni” i “vrući” reset sa tasterima (BTN1 i BTN2) koji se takođe nalaze na ekspanzionoj kartici. Takt linija Clk se vodi na pin p182 FPGA kola, a linija za dozvolu ledovki LEDG na pin p88. Nakon dodele pinova, ceo projekat se iskompajlira pokretanjem opcije *Generate programming file*.