

ISPIS NA LED DIODE SA POMERANJEM SVETLOSNE GRUPE

Na razvojnom sistemu Digilab 2SB uz ekspanzionu karticu DIO4 koristiti 5 prekidača, 8 LED dioda, taster btn1 i kontrolnu led diodu LD1 i Xilinx XC2S200E PQ208 -6 PLD.

U zavisnosti od prekidača bira se svetleća svetlosna kombinacija prema sledećoj tabeli:

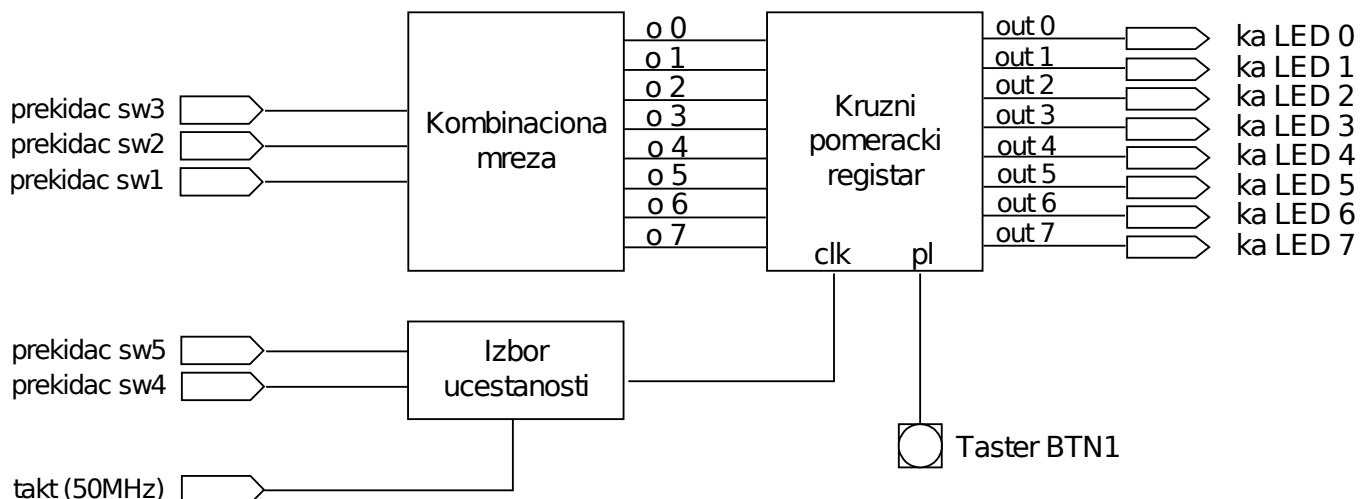
sw1	sw2	sw3	o0	o1	o2	o3	o4	o5	o6	o7	objašnjenje
0	0	0	1	0	0	0	0	0	0	0	sve isključene
0	0	1	1	1	0	0	0	0	0	0	1 dioda u grupi
0	1	0	1	1	1	0	0	0	0	0	2 diode u grupi
0	1	1	1	1	1	1	0	0	0	0	3 diode u grupi
1	0	0	1	1	1	1	1	0	0	0	4 diode u grupi
1	0	1	1	1	1	1	1	1	0	0	5 dioda u grupi
1	1	0	1	1	1	1	1	1	1	0	6 dioda u grupi
1	1	1	1	1	1	1	1	1	1	1	7 dioda u grupi

“1” označava uključenu diodu, a “0” isključenu.

Svetlosna kombinacija treba da se **kružno pomera** frekvencijom koja se bira pomoću prekidača sw4 i sw5 , a zavisnost frekvencije od prekidača prikazana je u sledećoj tabeli:

sw5	sw4	učestanost
0	0	1.5 Hz
0	1	3 Hz
1	0	6 Hz
1	1	12 Hz

Sledeća slika ilustruje blok šemu sistema.



Kombinaciona mreža služi za izbor broja dioda koje čine svetleću grupu u funkciji od položaja prekidača.

Kružni pomerački registar je odgovoran za kretanje svetleće grupe. Naime, kombinaciona mreža generiše početni položaj svetleće grupe (npr. prve tri diode uključene, a ostale isključene), a registar na svom izlazu u svakom taktnom intervalu daje ciklički pomeraj grupe. Ovo je ilustrovano u tabeli 3 za slučaj grupe od tri uključene diode.

taktni interval	Diode uključene u posmatranom taktnom intervalu (1=uklj, 0=isklj.)
1	1 1 1 0 0 0 0 0
2	0 1 1 1 0 0 0 0
3	0 0 1 1 1 0 0 0
4	0 0 0 1 1 1 0 0
5	0 0 0 0 1 1 1 0
6	0 0 0 0 0 1 1 1
7	1 0 0 0 0 0 1 1
8	1 1 0 0 0 0 0 1
9	1 1 1 0 0 0 0 0
10	0 1 1 1 0 0 0 0
11	0 0 1 1 1 0 0 0
...	...

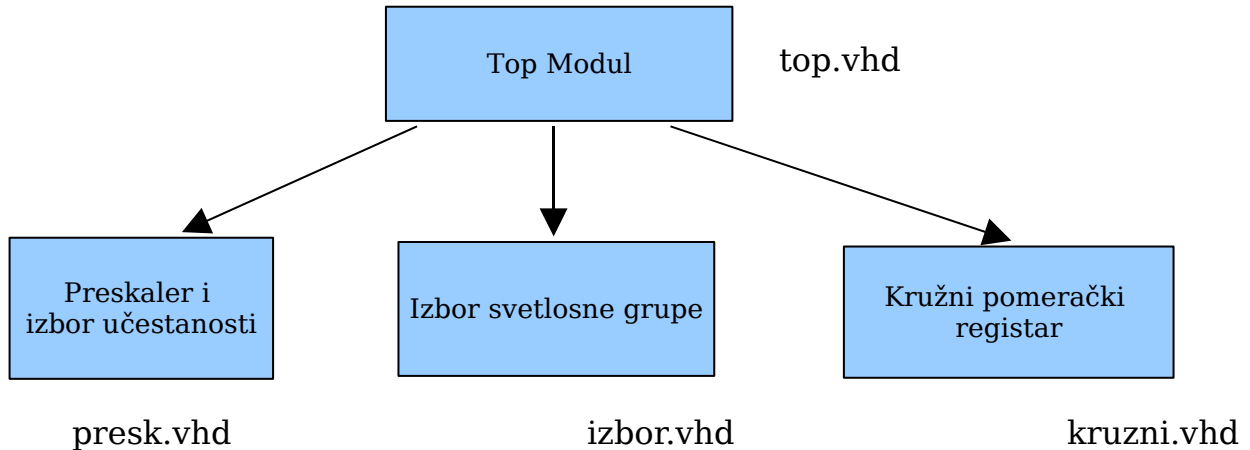
Tabela 3. Izlazi pomeračkog registra u funkciji vremena

“PI” ulaz na pomeračkom registru služi da, kada prekidačima sw3,sw2,sw1 promenimo svetlosnu kombinaciju, pritiskom na taster btn1 unesemo novu svetlosnu kombinaciju u kružni pomerački registar.

Da bi se ispis vršio na ledovke potrebno je setovati LEDG signal na leč kolu na ekspanzionoj kartici.

HIJERARHIJSKI DIZAJN

Koristeći metodologiju hijerarhijskog dizajna realizovati prethodni zadatak. Dizajn se sastoji od 2 nivoa hijerarhije i ukupno 4 bloka (pogledati sliku).



```
entity kruzni is
port (clk : in std_logic;
      pr : in std_logic_vector(4 downto 0);
      btn : in std_logic;
      ledg : out std_logic;
      led : out std_logic_vector(7 downto 0));
end entity kruzni;
```

```
architecture struct of kruzni is
  component Presk
    port (clk : in std_logic;
          pr_izbor_f : in std_logic_vector (1 downto 0);
          clk_izbor: out std_logic);
  end component;
  component Izbor
    port ( ... );
  end component;
  component Kruzni
    port (clk : std_logic;
          pl : std_logic; -- parallel load
          ... );
  end component;
```

```
signal izabrana_f : std_logic;
```

```
begin
```

```
  ledg <= '1';
  U1: Presk port map (clk => clk,
```

```
        pr_izbor_f => pr (1 downto 0),  
        clk_izbor => izabrana_f);  
  
U2: Izbor port map (...);  
  
U3: Kruzni port map (clk => clk,  
                    pl => btn,  
                    ...);  
end architecture struct;
```