

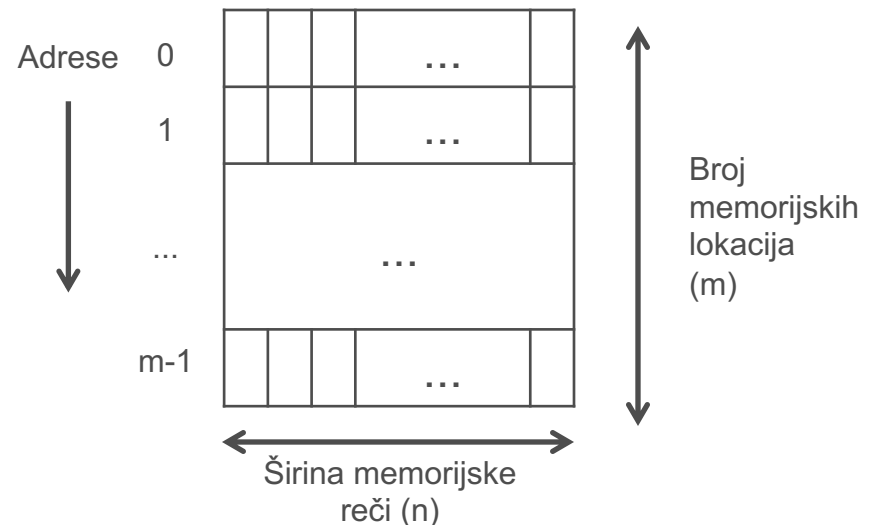
The background is a dark green field filled with a complex network of lighter green lines that resemble circuit board traces. These lines are interconnected with numerous small yellow circles, some of which are arranged in vertical columns on the left and right sides of the image. The overall effect is a high-tech, digital aesthetic.

Organizacija memorije

Katedra za elektroniku

Memorija - osnovni pojmovi

- Memorijski podsistem zadužen je za smeštanje **programskih instrukcija i podataka** (promenljivih).
- Memorija se sastoji od velikog broja bistabilnih elemenata od kojih svaki skladišti po jedan bit informacije. Ovi biti su organizovani u n-bitne grupe koje funkcionišu na sličan način kao registri, a nazivaju se još i **memorijskim lokacijama**.
- Sadržaj memorijske ćelije predstavlja osnovnu jedinicu informacije i naziva se **memorijska reč**. Svaka memorijska lokacija se identifikuje na jedinstven način, preko memorijske **adrese**.
- **Kapacitet memorijske jedinice** izražava se kao $m \times n$, gde parametri m i n imaju sledeća značenja:
 - m - **Broj memorijskih lokacija**, uobičajeno je $m = 2^k$. Kod memorija većeg kapaciteta koriste se oznake kilo ($1K = 2^{10}$), mega ($1M = 2^{20}$), giga ($1G = 2^{30}$) i tera ($1T = 2^{40}$)
 - n - **Širina memorijske reči**, odnosno broj bita koji se nalaze u okviru svake memorijske lokacije. Ukoliko je $n=1$, kaže se da je širina jedan bit (1b), a ukoliko je $n=8$, širina je jedan bajt (1B).



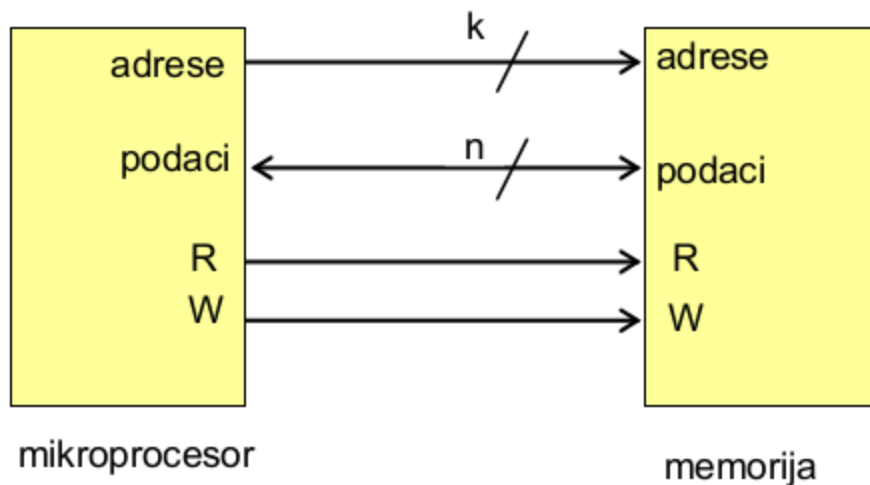
RAM i ROM memorije

- U pogledu postojanosti podataka koje skladište, memorije se dele na:
 - RAM (engl. *Random Access Memory*)
 - ROM (engl. *Read-Only Memory*)
- **RAM memorija** dozvoljava obavljanje dve operacije: upis i čitanje sadržaja pojedinačne memorijske lokacije na proizvoljnoj adresi. Podaci upisani u RAM se čuvaju do prestanka napajanja, nakon čega se nepovratno gube.
- Postoje 2 osnovna tipa RAM memorija:
 - **Statički RAM (SRAM)** - Svaka ćelija zadržava sadržaj sve do upisa novog sadržaja, ili prestanka napajanja. Konstrukcija ćelije je nešto glomaznija, jer se sastoji iz **6 tranzistora**.
 - **Dinamički RAM (DRAM)** - Pojedinačna ćelija sadrži svega tranzistor i 1 kondenzator, ali je interfejs memorije složeniji nego kod SRAM-a i neophodno je periodično osvežavanje sadržaja.
- **ROM memorija** u normalnom režimu rada dozvoljava samo operaciju čitanja. Sadržaj se upisuje ("programira") specijalnim postupkom i zadržava se trajno, čak i po prestanku napajanja.
- Važna podvrsta ROM memorija su **EEPROM** memorije (engl. *Electrically Erasable Programmable Read-Only Memory*), u koje je moguće upisivati sadržaj više puta električnim postupkom. U ovu klasu između ostalog spadaju i **FLASH** memorije, koje u današnje vreme nalaze veoma širok dijapazon primene.

Povezivanje memorije sa procesorom

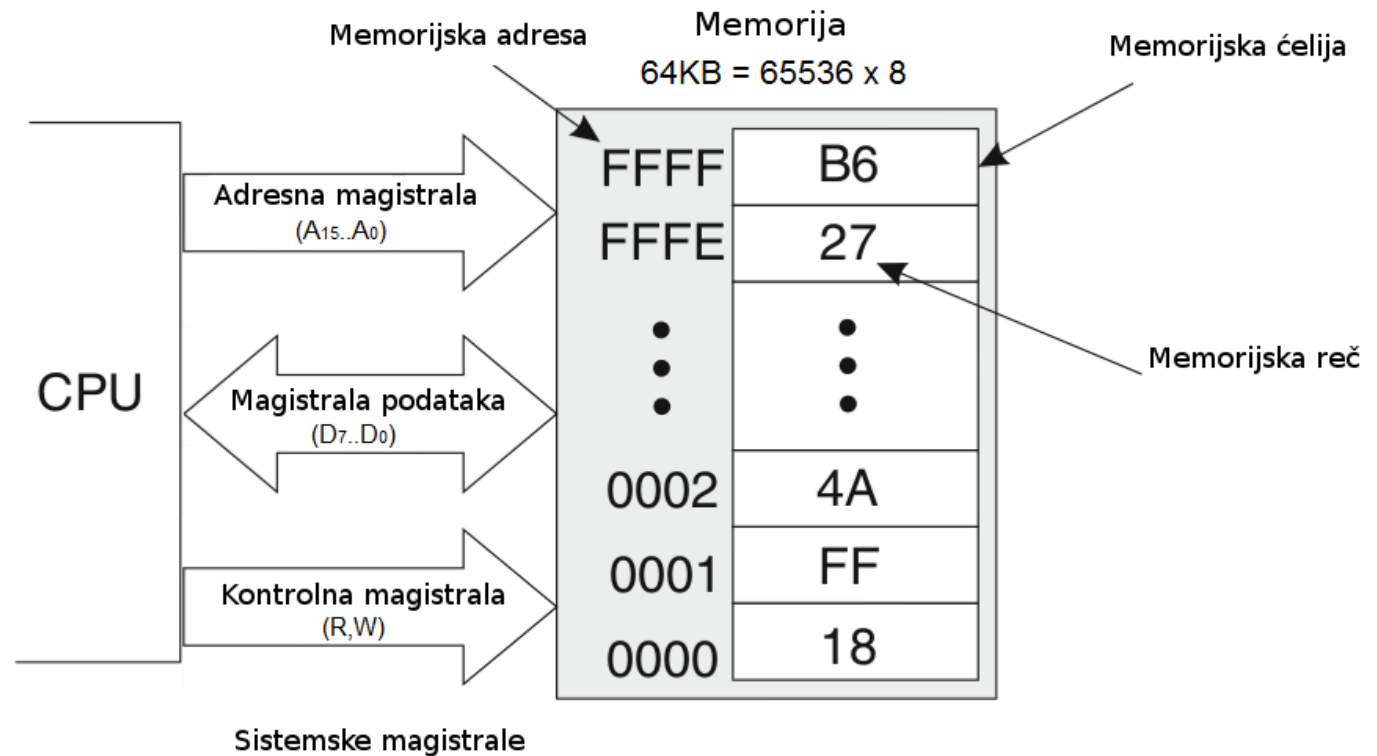
• Za povezivanje memorije sa procesorom koriste se grupe linija koje se nazivaju **magistralama**:

- **Adresna magistrala** (engl. *Address Bus*): linije preko kojih procesor zadaje adresu lokacije kojoj se pristupa. Memorija sa $m = 2^k$ lokacija ima adresnu magistralu širine k bita.
- **Magistrala podataka** (engl. *Data Bus*): linije preko kojih se vrši prenos podataka od procesora ka memoriji kod operacije **upisa**, odnosno od memorije ka procesoru prilikom čitanja. Širina magistrale podataka određena je širinom **memorijske reči** (n).
- U sastav kontrolne magistrale ulaze signali za dozvolu **čitanja** (**R**, engl. *Read*) i **dozvolu upisa** (**W**, engl. *Write*). Takođe, neki memorijski moduli poseduju dodatni kontrolni ulaz (**CS**, engl. *Chip Select*), preko kojeg se dozvoljava, odnosno zabranjuje pristup modulu.



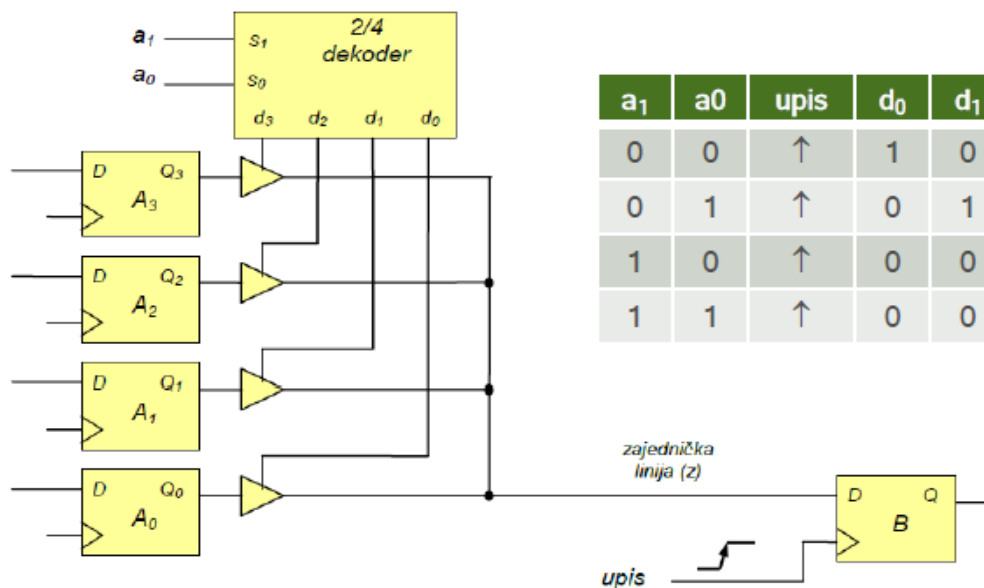
PRIMER: RAM memorija kapaciteta 64KB

- $m = 64K = 64 \cdot 2^{10} = 2^6 \cdot 2^{10} = 2^{16} = 65536 \Rightarrow$ **širina adresne** magistrale je **16 bita** (linije $A_{15} \dots A_0$)
- $n = 8 \Rightarrow$ širina magistrale podataka je **8 bita** (linije $D_7 \dots D_0$)



Povezivanje memorijskih elemenata na zajedničku magistralu

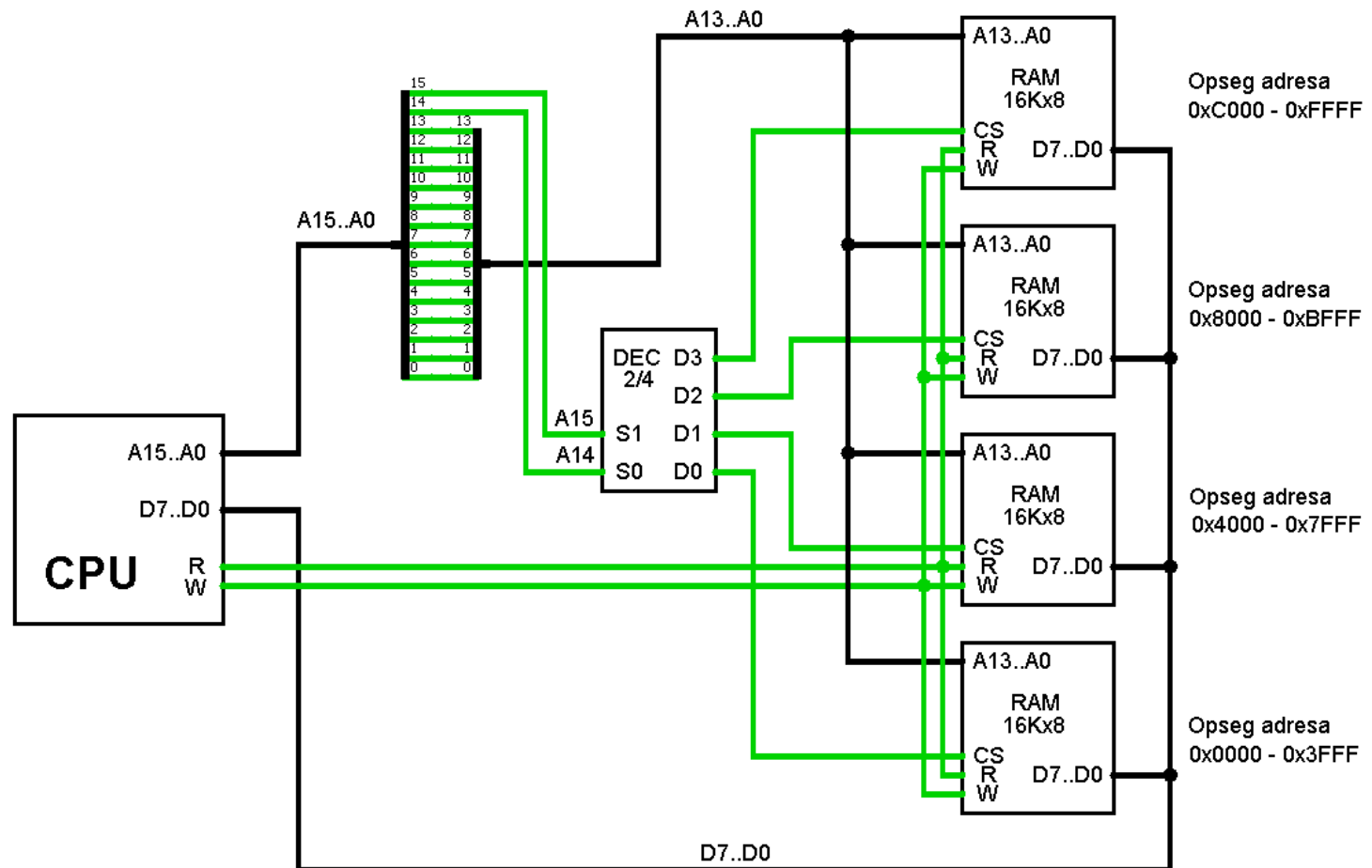
- Kada je potrebno istovremeno spojiti izlaze **više memorijskih elemenata** na zajedničku magistralu, potrebno je obezbediti mehanizam kojim se sprečava pojava **konflikta na magistrali**. Ova pojava se dešava kada dva elementa istovremenu pokušavaju da diktiraju različita logička stanja na magistrali, što može dovesti do fizičkog oštećenja, ili uništenja oba elementa.
- Tehnike za prevazilaženje konflikta na magistrali:
 - Korišćenje kola sa izlaznim stepenom sa "otvorenim kolektorom"
 - Korišćenje **trostatičkih bafera**
- Ukoliko se koriste trostatički baferi, njima upravlja dekoderska logika koja na magistralu propušta **signal sa izlaza tačno jednog bafera** (onog koji je trenutno adresiran), dok sve ostale postavlja u stanje visoke impedanse.



a_1	a_0	upis	d_0	d_1	d_2	d_3	z	operacija
0	0	↑	1	0	0	0	A_0	$B \leftarrow A_0$
0	1	↑	0	1	0	0	A_1	$B \leftarrow A_1$
1	0	↑	0	0	1	0	A_2	$B \leftarrow A_2$
1	1	↑	0	0	0	1	A_3	$B \leftarrow A_3$

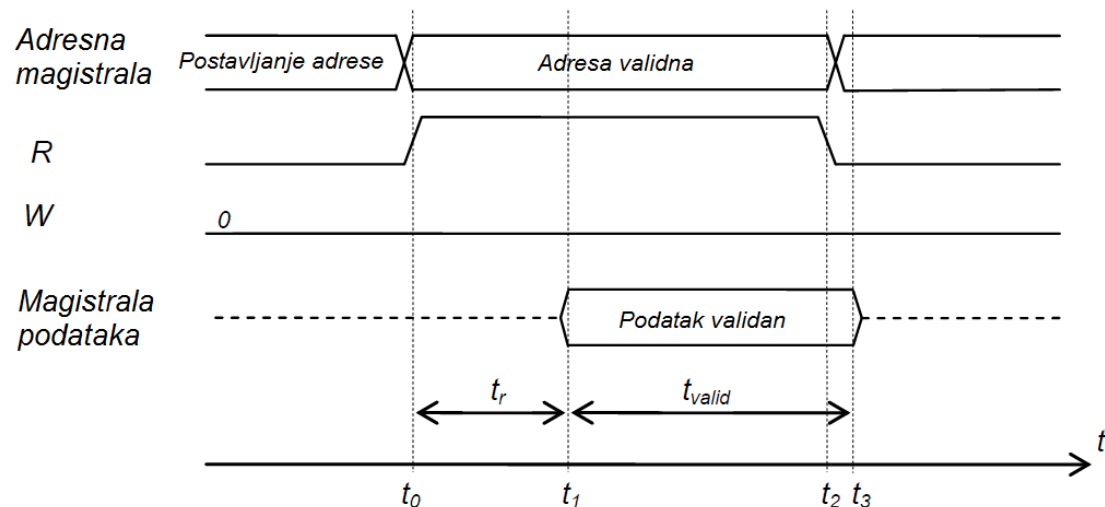
PRIMER: Povezavanje procesora sa 4 memorijska modula kapaciteta po 16KB, čime se dobija jedinstven memorijski prostor kapaciteta 64KB

- Napomena:* signal **CS** (engl. *Chip Select*) na ulazima memorijskih modula u neaktivnom stanju (CS=0) onemogućava pristup memorijskom modulu i prevodi izlaze u stanje visoke impedanse, a u **aktivnom stanju** (CS=1) aktivira modul za čitanje ili upis, u zavisnosti od signala R i W i povezuje ga sa magistralom podataka.



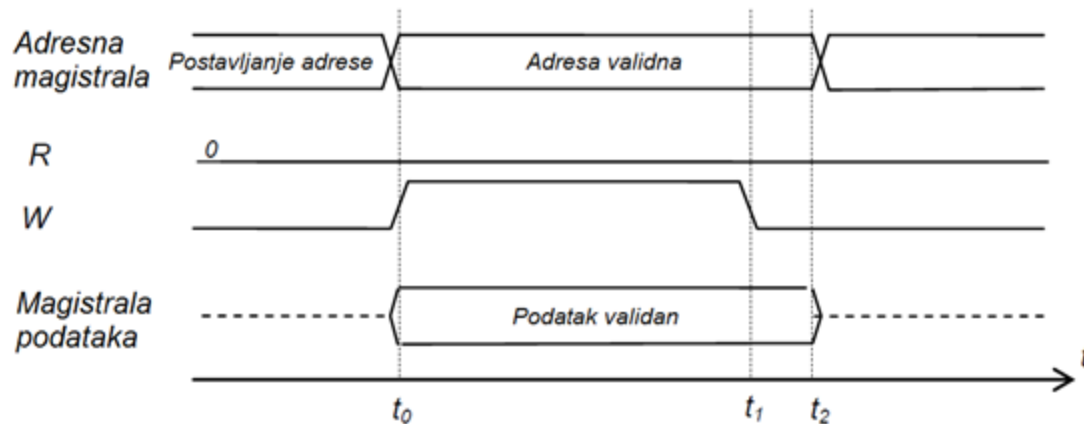
Vremenski dijagrami ciklusa čitanja podatka iz memorije

- Nakon što procesor **postavi ispravnu adresu** na linije adresne magistrale, u trenutku t_0 aktivira se **upravljački signal za čitanje (R)**.
- Kada upravljačka jedinica memorije prepozna da je signal R postao aktivan, pokreće operaciju čitanja. U **trenutku t_1** se **sadržaj adresirane memorijske lokacije** pojavljuje na magistrali podataka, koja je pre toga bila u stanju visoke impedanse.
- Vreme $t_r = t_1 - t_0$ naziva se **vreme odziva memorije** kod operacije čitanja.
- Podatak se zadržava na magistrali podataka do trenutka t_2 . U intervalu (t_1 , t_2) procesor **očitava stanje magistrale podataka** i upisuje ga u prihvatni registar, nakon čega se upravljački signal za čitanje **R deaktivira**. Podatak je validan još neko vreme po deaktiviranju signala R, do trenutka t_3 .
- Tokom čitavog trajanja operacije čitanja, upravljački signal za upis W je neaktivan.



Vremenski dijagrami ciklusa upisa podatka u memoriju

- Ciklus upisa počinje tako što procesor **simultano postavlja ispravnu adresu na linije adresne magistrale i podatak na magistralu podataka**. Nakon toga, u trenutku t_0 **aktivira se upravljački signal za upis (W)**.
- Kada upravljačka jedinica memorije prepozna da je signal W postao aktivan, pokreće operaciju upisa.
- U trenutku t_1 se upravljački signal za upis W deaktivira. Stanja adresne magistrale i magistrale podataka se održavaju još neko vreme, do trenutka t_2 .
- Interval (t_0, t_1) mora trajati dovoljno dugo **da memorija stigne da obavi operaciju upisa**. Vremenski interval $t_w = t_2 - t_0$ naziva se vreme odziva memorije kod operacije upisa.
- Tokom čitavog trajanja operacije upisa, upravljački signal za čitanje R je neaktivan.



Programska memorija i memorija za podatke

- Da bi se postigla željena funkcionalnost mikroračunarskog sistema, potrebno je u odgovarajući memorijski prostor smestiti programske instrukcije i podatke koji se obrađuju.
- Kod računara **opšte namene**, uobičajeno je da su program i podaci smešteni u isti memorijski prostor. Ovakva arhitektura nazvana je po svom tvorcu **Von Neumann** arhitektura, ili *Princeton* arhitektura.
- Organizacija mikroračunarskog sistema kod koje su programska memorija i memorija za podatke fizički razdvojene poznata je kao *Harvard* arhitektura. Struktura mikrokontrolera je obično zasnovana na ovoj arhitekturi, gde je **programska memorija tipa FLASH**, a **memorija za podatke SRAM**. Na ovaj način je program **permanentno prisutan** unutar mikrokontrolera, čak i po prestanku napajanja.

