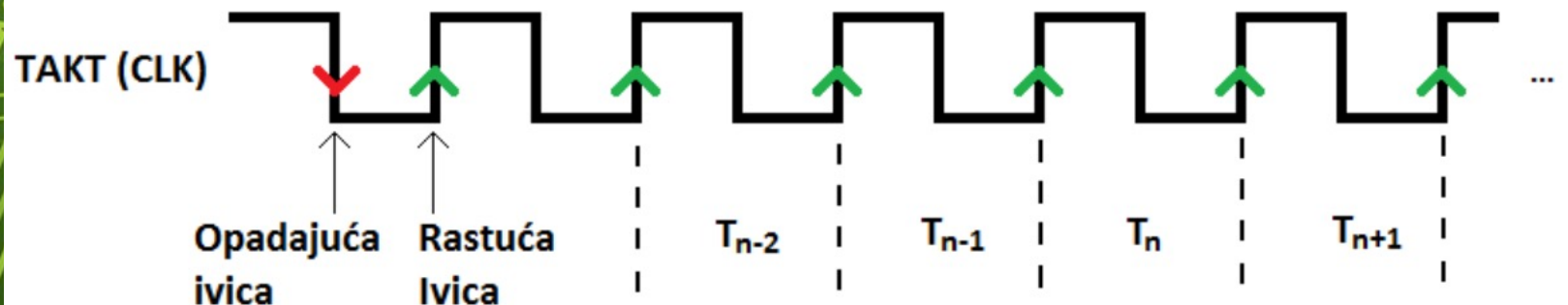


The background is a dark green field filled with a complex network of lighter green lines that resemble a printed circuit board (PCB) layout. These lines are interconnected with numerous small yellow circles, which are arranged in various patterns, including vertical columns and clusters. The overall effect is a high-tech, digital aesthetic.

-Bistabilna kola, registri i
memorije-

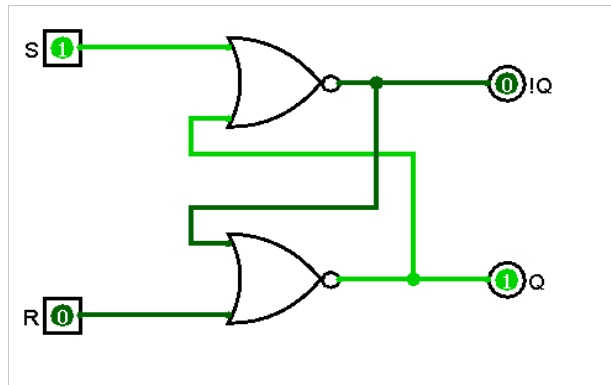
Bistabilna kola

- Sekvencijalne mreže- stanje na izlazi zavisi od **trenutnih stanja** na ulazima i od "**istorije**" **prethodnih stanja**
- Mehanizam povratne sprege
- Osnovni memorijski elementi- čuvaju 1 bit digitalne informacije
→ složenije sekvencijalne mreže i digitalni sistemi
- Bistabilna kola:
 1. **Lečevi**- transparentna kola, moguće je **menjati stanje** u proizvoljnom vremenskom trenutku
 2. **FlipFlopovi**- sinhrona kola, moguće je **menjati stanje** samo u trenucima kada to dozvoljava **taktni ulaz**, upis se vrši na odgovarajuću promenu nivoa takt signala.
- **Taktni signal (clock)**
- Q_n, Q_{n-1}, Q_{n+1}

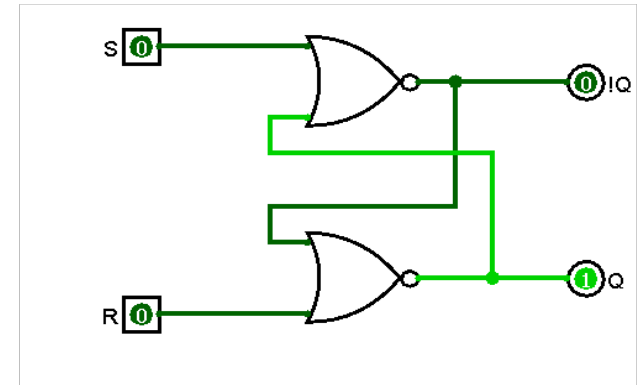


SR-Leč

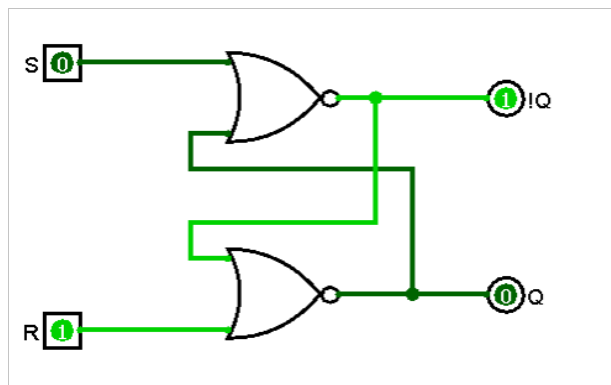
- Najjednostavnije bistabilno kolo - **SR-leč**
- 2 dvoulazna NILI kola sa ukrštenom povratnom spregom
- S, R – ulazi, Q , $\bar{Q}$ – izlazi
- Set, reset, pamćenje stanja i zabranjeno stanje



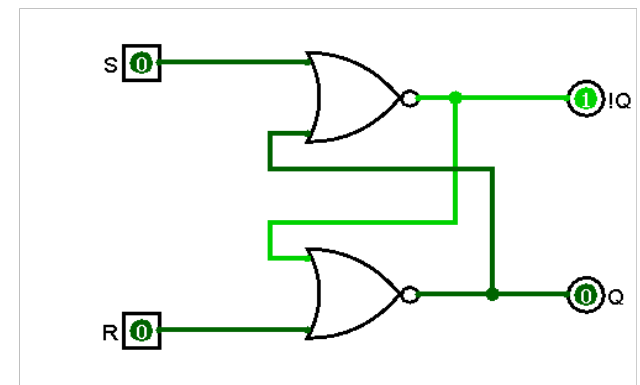
(a) Postavljanje stanja na jedinicu (set)



(b) Memorisanje logičke jedinice



(c) Postavljanje stanja na nulu (reset)



(d) Memorisanje logičke nule

SR-leč

➤ Ponašanje se opisuje pomoću:

1. **Funkcionalne (kombinacione tabele)**- naredno stanje kola određeno u odnosu na trenutno stanje i stanje na ulazima
2. **Eksitacione tabele (inverzna tabela)**, tabela pobude- daje odgovor na to kakva pobuda na ulazu dovodi do željenog prelaza

S	R	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	X

(pamćenje)
(reset)
(set)
(zabranjeno)



(a) *Funkcionalna
tabela*

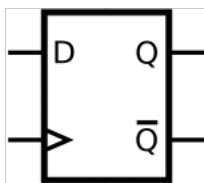
Q_n	Q_{n+1}	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

(pamćenje ili reset)
(set)
(reset)
(pamćenje ili set)

(b) *Eksitaciona tabela*

D-flipflop

- Promena stanja isključivo u trenucima pojave aktivne ivice takta (okidanje)- **sinhrona bistabilna kola**
- Vrednost postavljena na D ulaz se u **trenutku okidanja upisuje u flipflop** i određuje njegovo stanje tokom predstojeće periode takta



(a) Simbol

D	Q_{n+1}
0	0
1	1

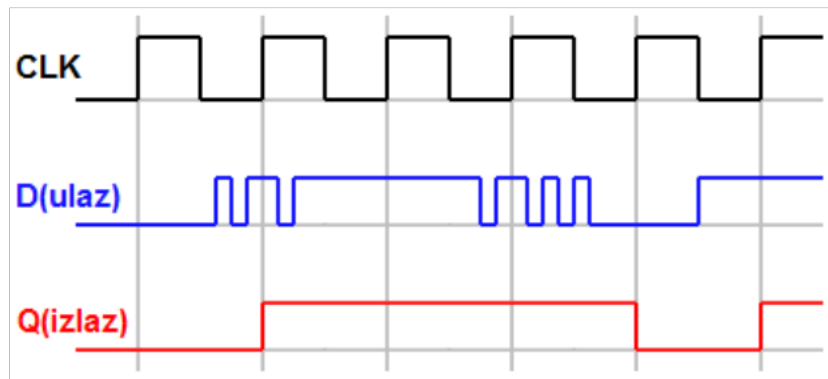
(b) Funkcionalna tabela

(reset)
(set)

Q_n	Q_{n+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

(c) Eksitaciona tabela

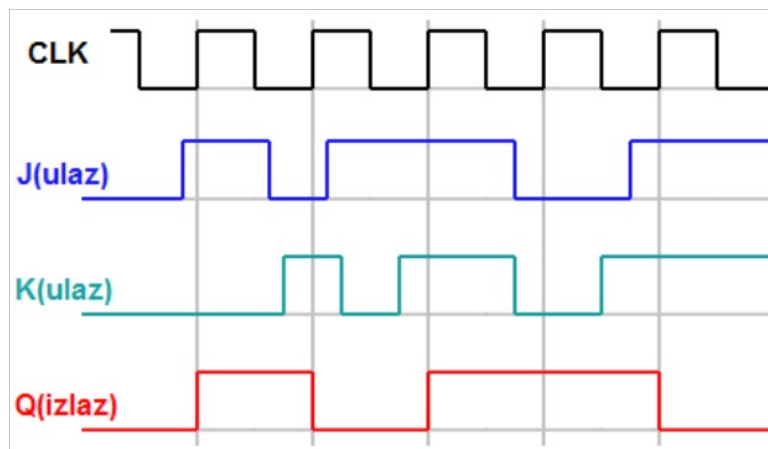
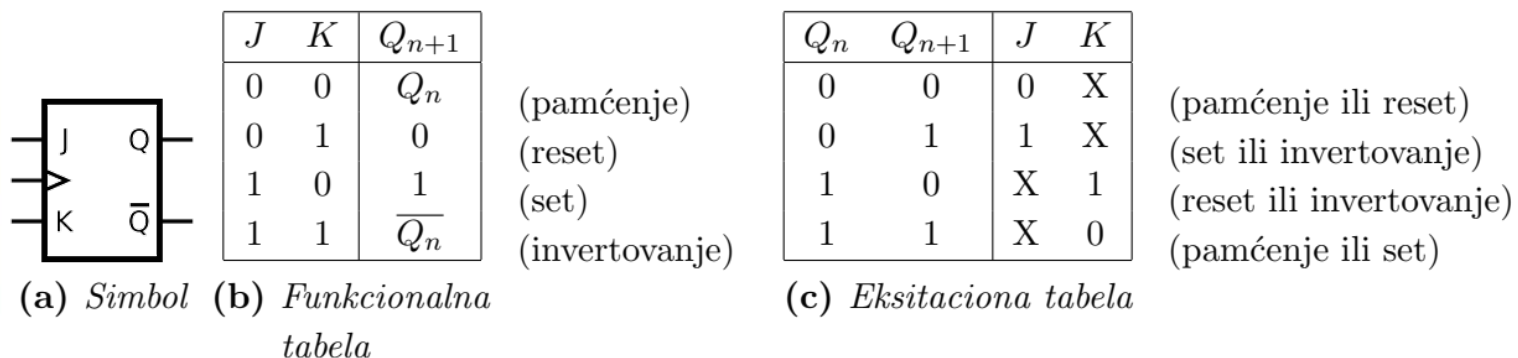
(reset)
(set)
(reset)
(set)



(d) Karakteristični vremenski dijagrami signala

JK-flipflop

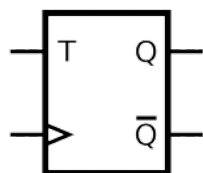
- 2 ulaza **J i K**
- Kombinacija kada su oba ulaza na logičkoj jedinici je dozvoljena i dovodi do invertovanja stanja



(d) Karakteristični vremenski dijagrami signala

T-flipflop

- 1 ulaz – T
- **T=0** flipflop **zadržava stanje** u kojem se trenutno nalazi
- **T=1** – flipflop **invertuje stanje**



(a) *Simbol*

T	Q_{n+1}
0	Q_n
1	$\overline{Q_n}$

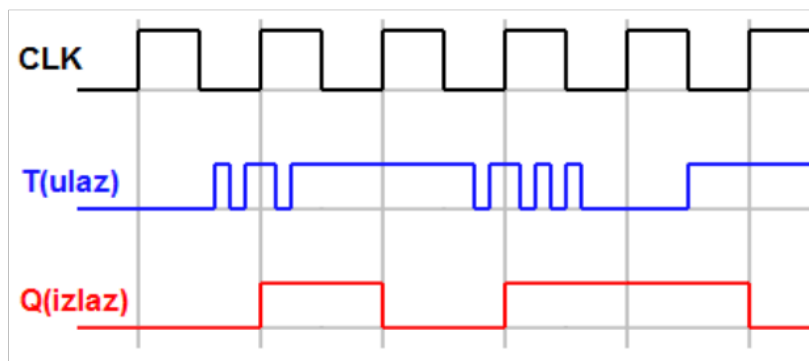
(pamćenje)
(invertovanje)

(b) *Funkcionalna tabela*

Q_n	Q_{n+1}	T
0	0	0
0	1	1
1	0	1
1	1	0

(pamćenje)
(invertovanje)
(invertovanje)
(pamćenje)

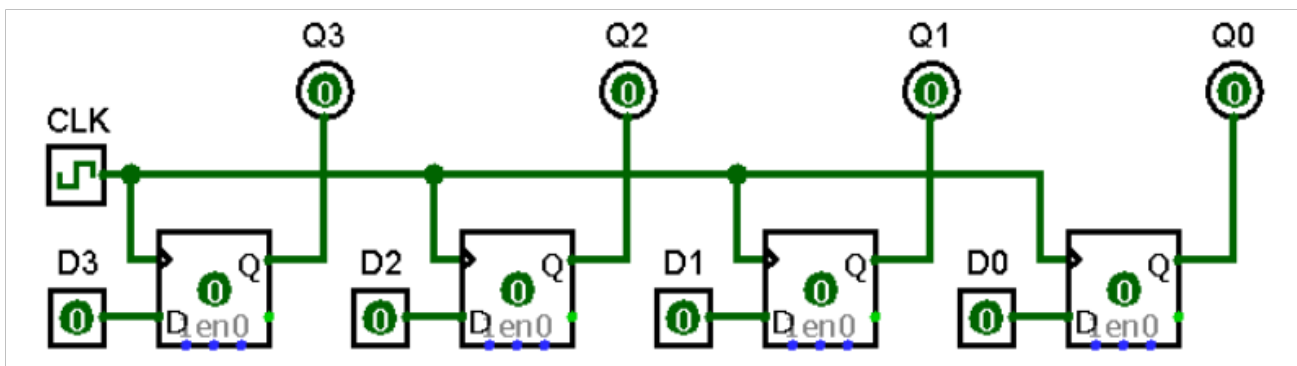
(c) *Eksitaciona tabela*



(d) *Karakteristični vremenski dijagrami signala*

Registri

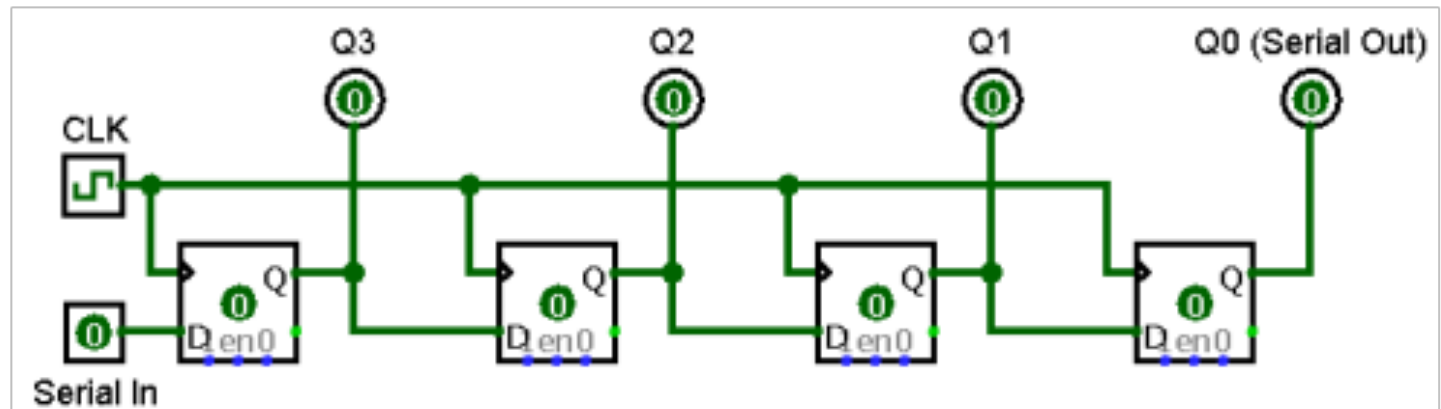
- **Složenija sekvencijalna kola-** kombinovanjem više osnovnih memorijskih elemenata- flipflopova.
- Sposobnost pamćenja više bita digitalne informacije
- U slučaju da flipflopovi koriste zajednički taktni signal- upis bita u flipflopove vrši se istovremeno (sinhrono) na aktivnu ivicu takta
- **Stacionarni registar** – **paralelni upis**, sinhrono sa takt signalom (CLK)
- Pojedinačne biti informacija koja se upisuje u registre se **istovremeno dovodi na ulaze** D_n -upis se vrši sinhrono sa takt signalom



Slika 7: 4-bitni stacionarni registar

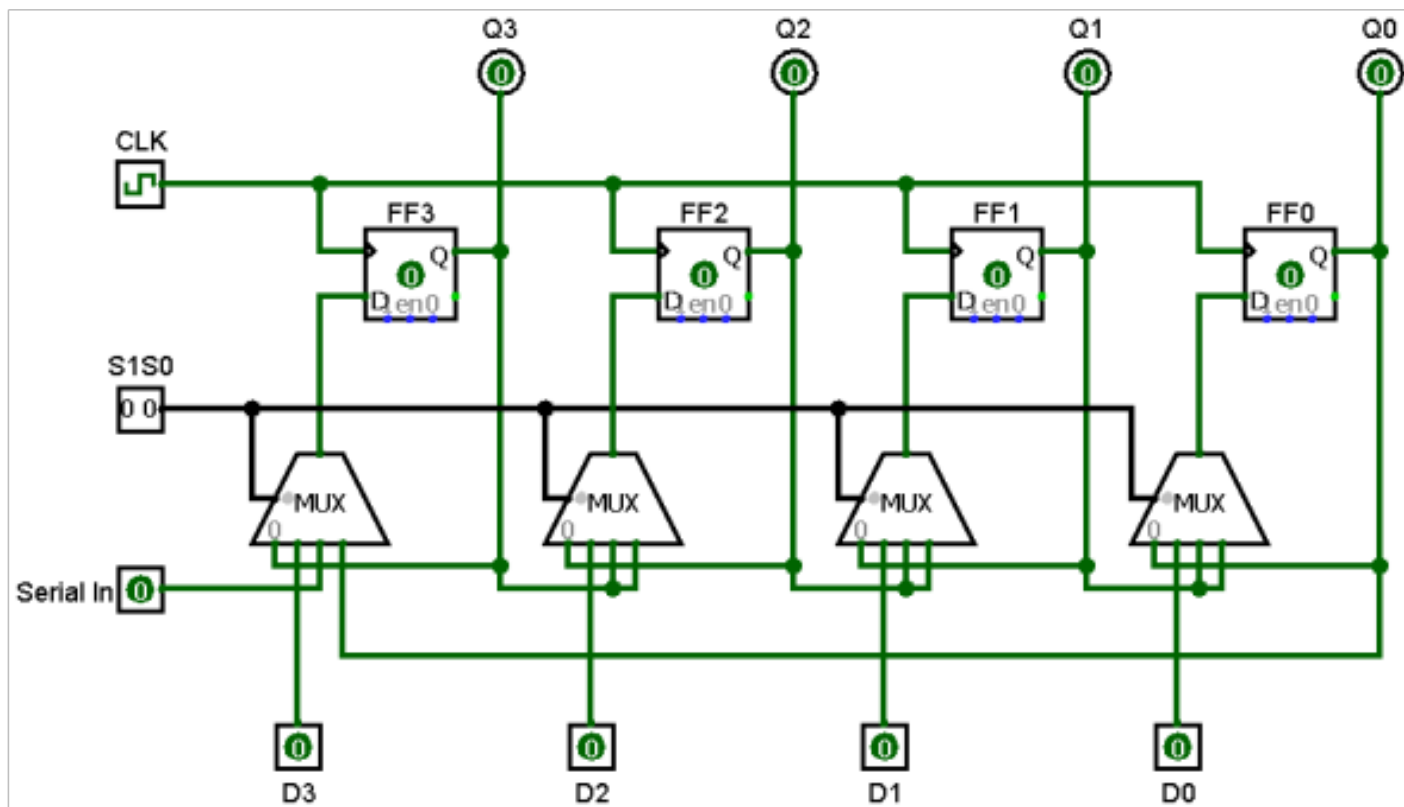
Registri

- **Pomerački (shift) registar**
- Flipflopovi su povezani **redno**, Q-izlaz svakog flipflopa u nizu spojen na D ulaz sledećeg
- **Serijski ulaz (Serial In)**
- Upis informacija- na serijski ulaz dovodi **po jedan bit u svakoj periodi takta**
- U svakoj periodi takta **se celokupan sadržaj registra** pomera za po jedan bit, od ulaza ka izlazu poslednjeg flipflopa u nizu (Serial Out)
- U sistemima za serijski prenos informacija (za prenos dovoljna jedna linija)



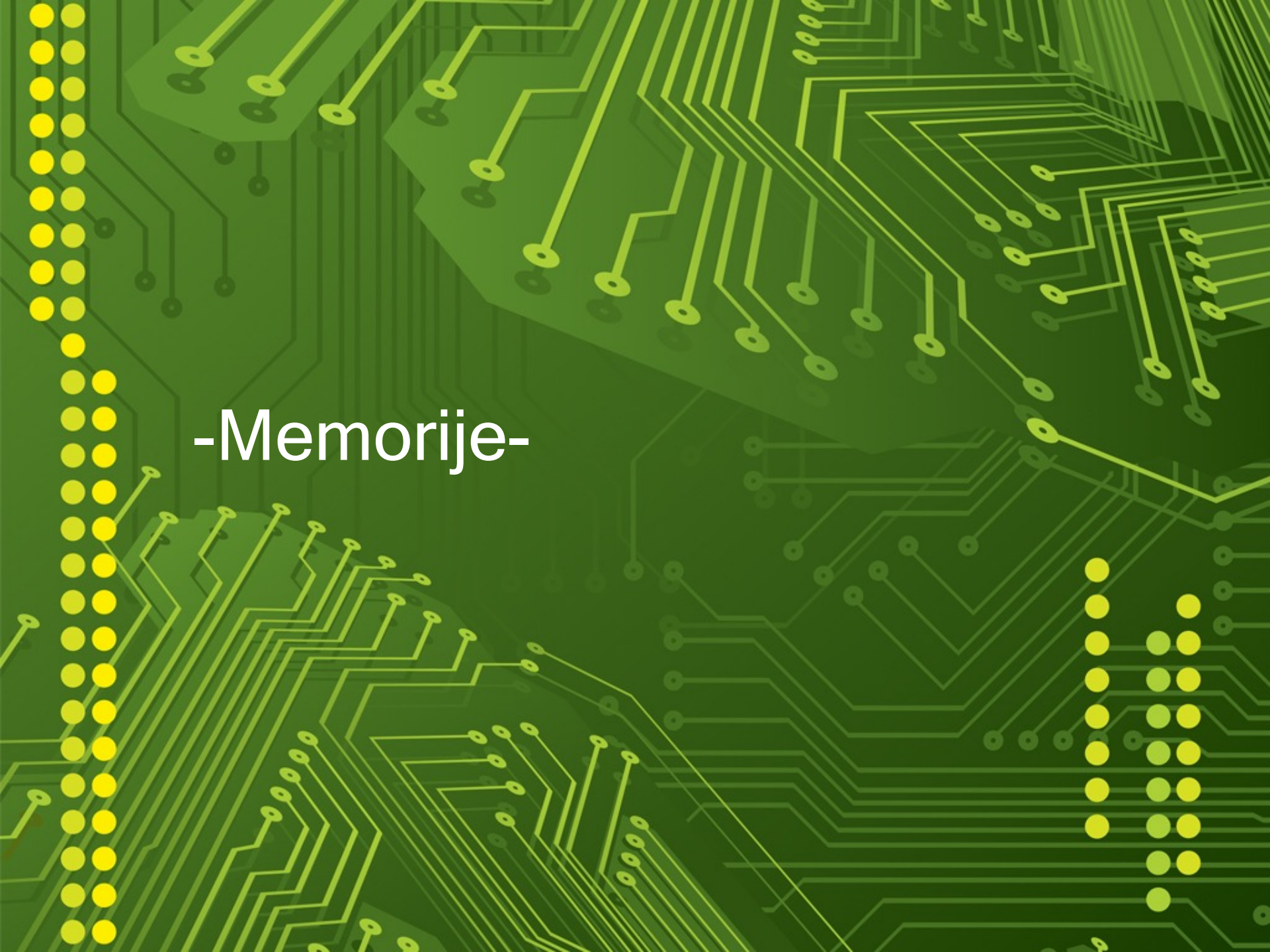
Slika 8: 4-bitni pomerački registar udesno

Registar sa više funkcija



Slika 9: Registar sa više funkcija

S_1	S_0	Funkcija koju registar obavlja
0	0	Zadržava (pamti) stanje
0	1	Paralelni upis
1	0	Pomeranje udesno
1	1	Rotacija udesno

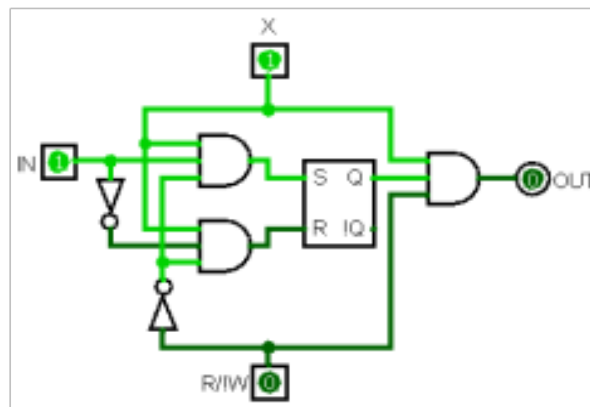
The background is a stylized, abstract representation of a circuit board. It features a dense network of green lines and paths, with numerous small yellow circles and dots scattered throughout, particularly along the left and right edges. The overall color scheme is a mix of various shades of green and yellow, creating a high-tech, digital aesthetic.

-Memorije-

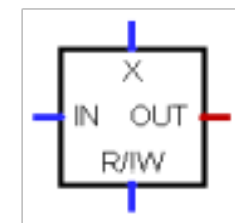
Memorije

Struktura RAM memorije

- **Broj memorijskih lokacija k :** Svakoj memorijskoj lokaciji se dodeljuje jedinstvena adresa u opsegu $[0..k - 1]$. Adresiranje memorijskih lokacija se vrši preko linija za adresiranje, koje čine tzv. adresnu magistralu². Adresnom magistralom (engl. Address Bus) širine m bita moguće je adresirati $k = 2^m$ memorijskih lokacija.
- **Širina memorijske lokacije (memorijske reči) u bitima n :** Ovaj parametar izražava broj elementarnih memorijskih ćelija u okviru svake memorijske lokacije. U praksi, najčeće se uzima da je širina memorijske lokacije $n = 8$ bita (1 bajt). Linije za prenos podataka ka i od memorije nazivaju se magistralom podataka (engl. Data Bus), a širina ove magistrale odgovara širini memorijske lokacije.

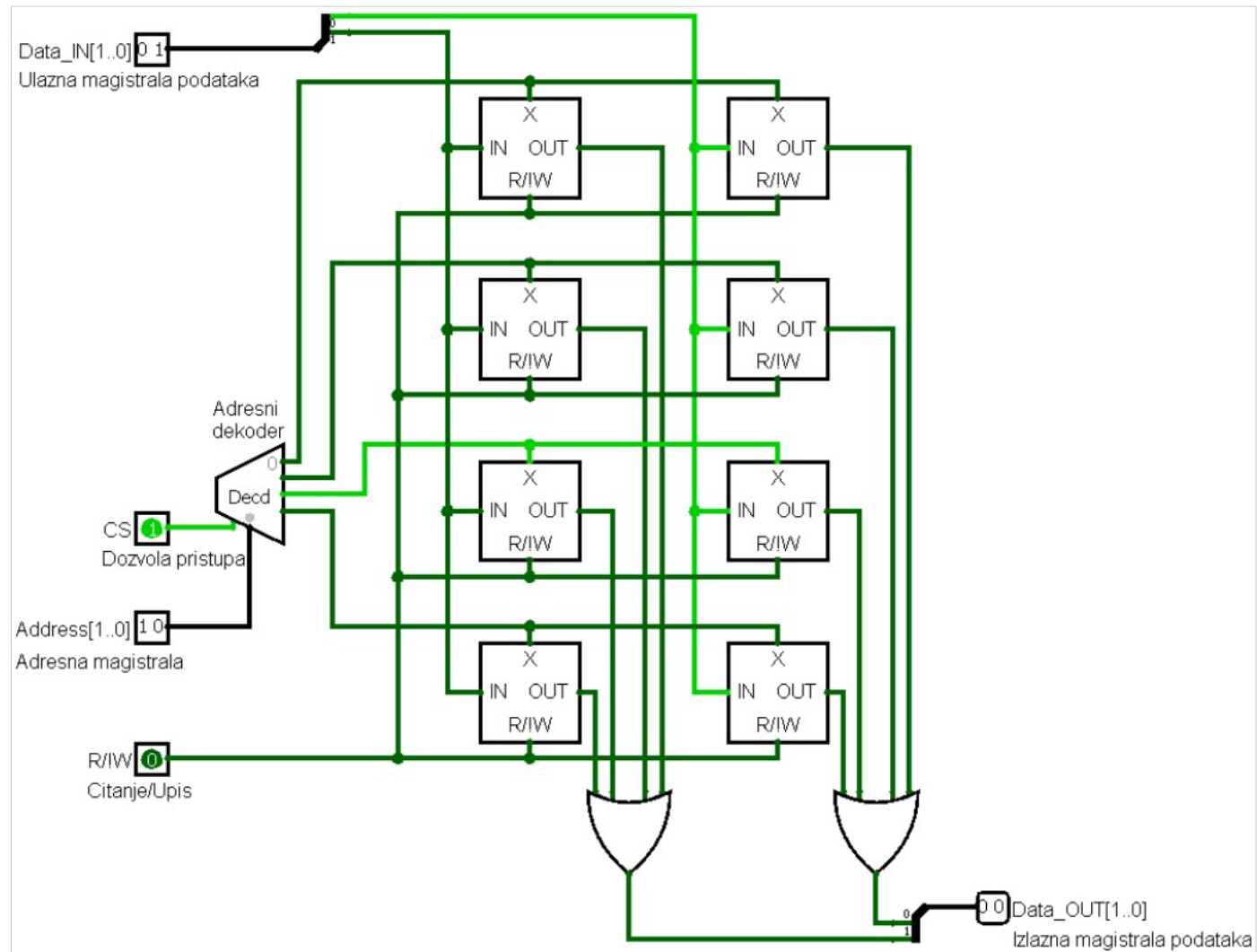


(a) Logička šema



(b) Šematska oznaka

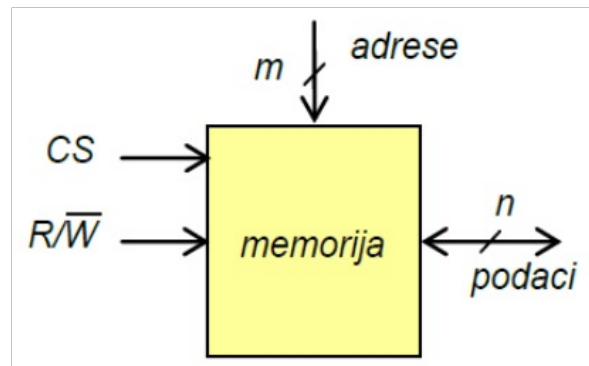
RAM 4x2



Slika 11: RAM memorija 4 × 2

Memorija RAM $2^m \times n$

- m - adresnih linija, n -linija za podatke
- Oznaka RAM-a $2^m \times n$, 2^m memorijskih lokacija, n -bita
- Nad sadržajem memorijskih lokacija dozvoljene su operacije čitanja ili upisa, u svakom trenutku moguće je pristupiti tačno jednoj memorijskoj lokaciji, koja je određena stanjem linija adresne magistrale
- CS-Chip Select- mogućnost dozvole odnosno zabrane pristupa kolu



(a) Šematska oznaka

CS	$R/\overline{W}$	Operacija
0	X	Nema operacije
1	0	Upis
1	1	Čitanje

(b) Ponašanje u zavisnosti od kontrolnih signala

Slika 12: Memorija RAM $2^m \times n$

