

The background is a dark green field filled with a complex network of lighter green lines that resemble a printed circuit board (PCB) layout. These lines are interconnected by small circles, some of which are yellow. On the left and right sides, there are vertical columns of yellow dots, some of which are arranged in a grid-like pattern. The overall effect is a high-tech, digital aesthetic.

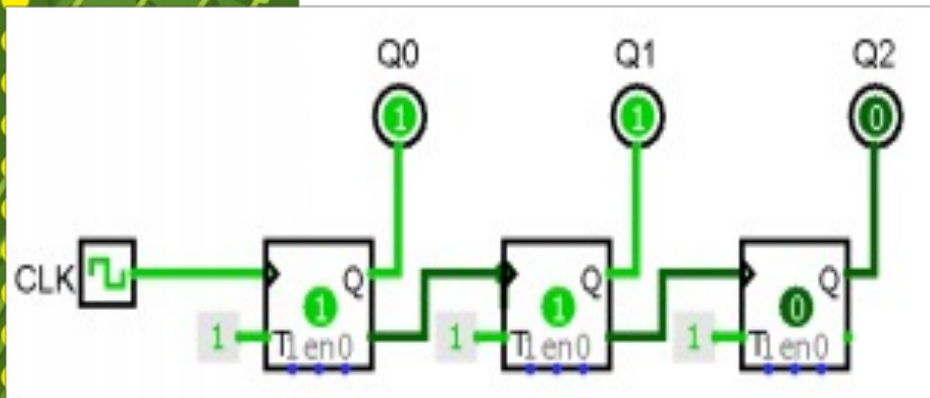
-Brojači i konačni automati-

Brojači

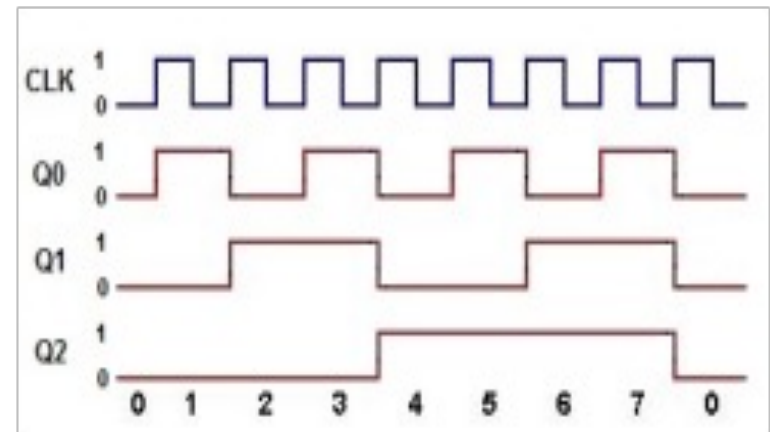
- Sekvencijalne mreže čija sekvenca stanja predstavlja **repetitivni ciklus**
- **Po načinu taktovanja** flipflopova koji čine registar stanja dele se na:
 - **Redne (asinhronne)**- kod kojih se takt signal dovodi samo na **prvi flipflop** u nizu. Svaki sledeći flipflop je taktovan od strane izlaza prethodnog, što znači da se promena stanja obavlja redno.
 - **Paralelne (sinhrone)**, kod kojih se svi flipflopovi okidaju istovremeno (sinhrono), zajedničkim takt signalom
- **Sekvence stanja** u okviru ciklusa brojanja:
 - **Brojače naviše**, kod kojih je sledeće stanje za 1 veće od prethodnog
 - **Brojače naniže**, kod kojih je sledeće stanje za 1 manje od prethodnog
 - **Brojače sa proizvoljnom sekvencom stanja**
- Ukupan broj stanja u jednom ciklusu je **modul** ili **osnova brojanja**.
- Potpun ciklus brojanja ili nepotpun (skraćeni) ciklus brojanja

Redni brojači

- **Primeri:** redni brojač naviše i naniže modula 8, realizovan korišćenjem T-flipflopa
- Takt ulaza sledećeg flipflopa vezan je za invertovani izlaz prethodnog flipflopa
- Q1 menja stanje kada se Q0 menja sa 1 na 0
- Vremenski dijagrami



(a) Logička šema

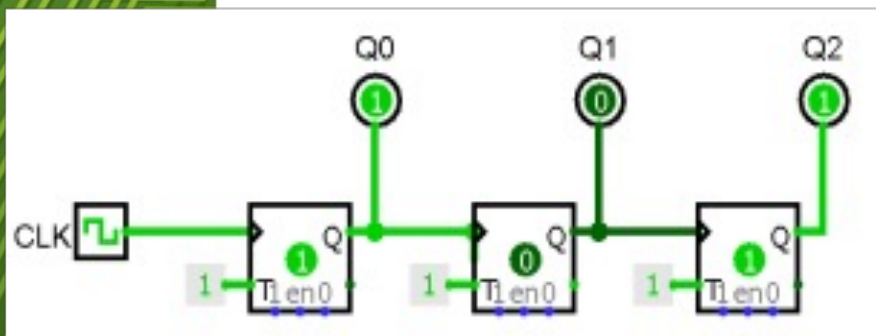


(b) Vremenski dijagram

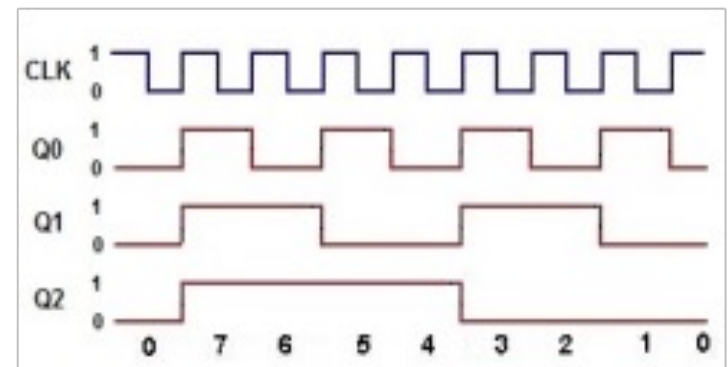
Slika 1: Redni brojač naviše modula 8

Redni brojači

- **Primeri:** redni brojač naviše i naniže modula 8, realizovan korišćenjem T-flipflopa
- Flipflop k se taktuje neinvertovanim izlazom prethodnog flipflopa Q_{k-1}
- Vremenski dijagrami
- Redni brojači: signal na izlazu ima dvostruku manju frekvenciju od signala koji ga taktuje- **delitelji frekvencija** (n-flipflopova u nizu izlaz poslednjeg daje signal frekvencije $f_{clk}/2^n$)



(a) Logička šema

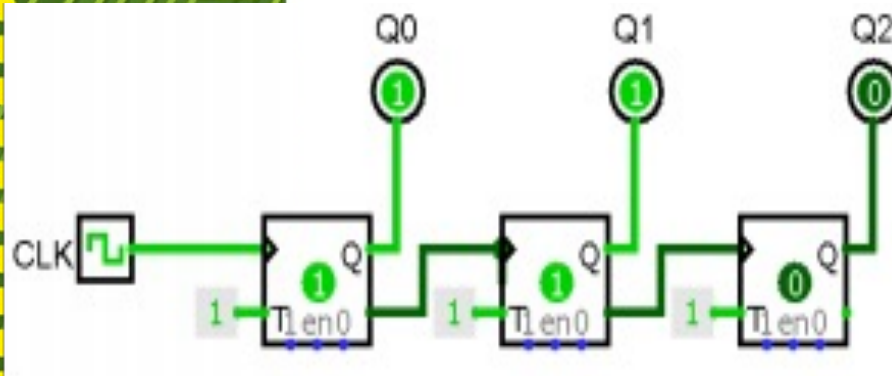


(b) Vremenski dijagram

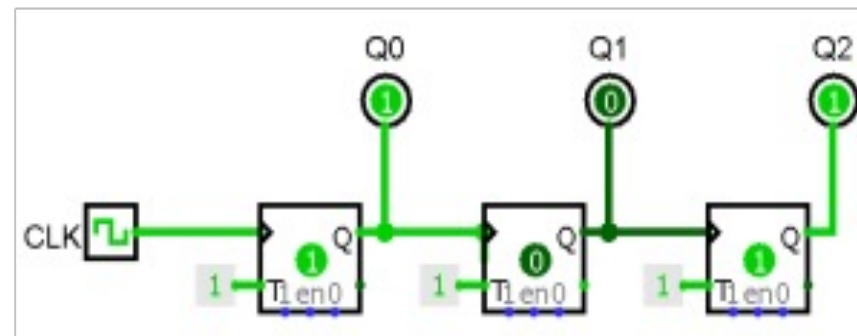
Slika 2: Redni brojač naniže modula 8

Redni brojači

- Primeri sa prethodnih slajdova- zanemarena kašnjenja propagacije kroz flipflopove.
- U praksi- **kašnjenja se akumuliraju** i ukupno kašnjenje je proporcionalno broju flipflopova u nizu što ograničava maksimalnu dozvoljenu frekvenciju rada brojača.
- Drugi nepoželjni efekat: **parazitna stanja**- neistovremene promene stanja na flipflopovima i traju do uspostavljanaj ispravnog stanja.
- Ograničenja se prevazilaze upotrebom paralelnih sinhronih brojača (složenija konstrukcija, ali sinhrona promena stanja).



(a) Logička šema



(b) Logička šema

Parelalni brojači

- **Primer:** brojač unapred modula 8, realizovan korišćenjem T-flipfopa
- 3 flipfopa za prolaz kroz 8 stanja u okviru ciklusa brojanja
- Tabela stanja/prelaza
- Eksitaciona tabela T-ff

Trenutno stanje				Pobuda FF			Naredno stanje			
S_i	Q_2	Q_1	Q_0	T_2	T_1	T_0	Q'_2	Q'_1	Q'_0	S'_i
0	0	0	0	0	0	1	0	0	1	1
1	0	0	1	0	1	1	0	1	0	2
2	0	1	0	0	0	1	0	1	1	3
3	0	1	1	1	1	1	1	0	0	4
4	1	0	0	0	0	1	1	0	1	5
5	1	0	1	0	1	1	1	1	0	6
6	1	1	0	0	0	1	1	1	1	7
7	1	1	1	1	1	1	0	0	0	0

(a) Tabela stanja/prelaza

Q	Q'	T
0	0	0
0	1	1
1	0	1
1	1	0

(b) Eksitaciona
tabela T-ff

Parelalni brojači

- Odredjivanje **pobude paralelnog brojača** unapred realizovanog korišćenjem T-flipflopa
- Pobuda obezbeđuje **kombinacionu mrežu** čiji ulazi su promenljive stanja Q_2 , Q_1 i Q_0 a izlazi se vode na ulaze flipflopova T_2 , T_1 , T_0
- Funkcije pobude se dobijaju minimizacijom korišćenjem Karnoovih tabela

Q_1Q_0					
		00	01	11	10
Q_2	0	0	0	1	0
	1	0	0	1	0

(a) $T_2 = Q_1 \cdot Q_0$

Q_1Q_0					
		00	01	11	10
Q_2	0	0	1	1	0
	1	0	1	1	0

(b) $T_2 = Q_0$

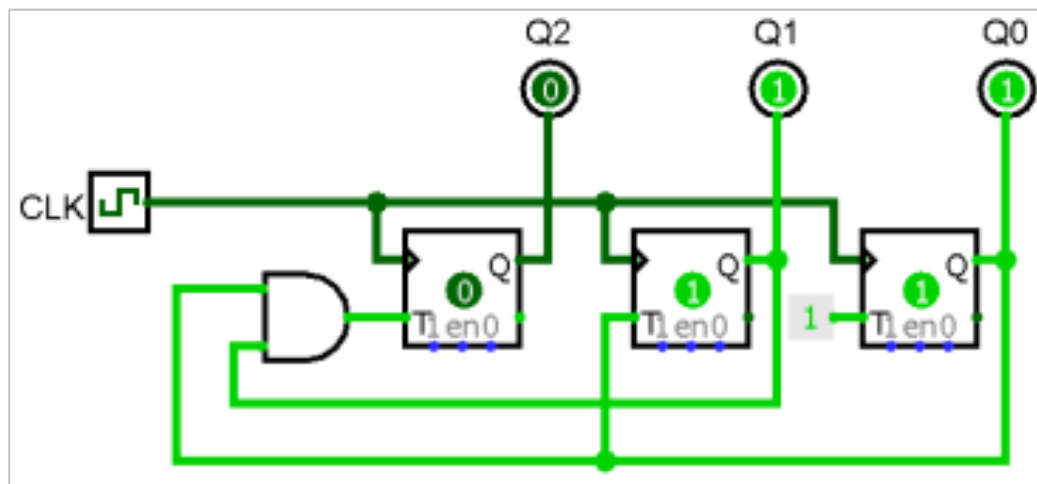
Q_1Q_0					
		00	01	11	10
Q_2	0	1	1	1	1
	1	1	1	1	1

(c) $T_2 = 1$

Slika 4: Određivanje funkcija pobude flipflopova

Parelalni brojači

- Na osnovu dobijenih funkcija pobude, crta se **šema paralelnog brojača**
- Takt signala je zajednički dovodi se istovremeno na sve flipflopove- sinhrono okidanje pri pojavi aktivne ivice takta

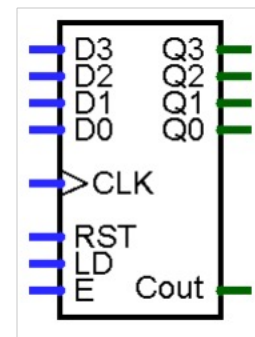


Slika 5: Logička šema paralelnog brojača modula 8

Integrirani brojači i brojači sa skraćenim ciklusom

- Često se izrađuju kao integrirane komponente, sa dodatnim kontrolnim signalima čijim korišćenjem je moguće uticati na ciklus brojanja
- Signali 4-bitnog integrisanog brojača:

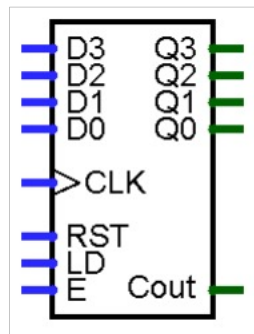
- $Q_3..Q_0$ - izlazi flipflopova koji predstavljaju stanje brojača
- $D_3..D_0$ - ulazi preko kojih je moguće izvršiti paralelni upis novog stanja u brojač
- CLK (engl. Clock) - ulaz za signal takta
- E (engl. Enable) - signal dozvole brojanja; kada je $E = 0$, brojač zadržava stanje u kom se zatekao, a kada je $E = 1$, brojač se inkrementira u svakoj periodi takta
- LD (engl. Load) - kada je ovaj signal aktivan (tj. $LD = 1$), u narednoj periodi takta se u brojač upisuje stanje koje je postavljeno na ulazima $D_3..D_0$
- RST (engl. Reset) - postavlja brojač u početno stanje $Q_3Q_2Q_1Q_0 = 0000_2$; reset može biti sinhroni (čeka sledeću aktivnu ivicu takta) ili asinhroni (brojač se resetuje odmah po aktiviranju RST signala)
- Cout (engl. Carry out) - ovaj signal se aktivira (tj. $C_{out} = 1$) kada se brojač nađe u poslednjem stanju $Q_3Q_2Q_1Q_0 = 1111_2$; koristi se pri kaskadiranju integriranih brojača, kako bi se realizovao brojač modula većeg od 16.



(a) Šematski simbol

Integrirani brojači i brojači sa skraćenim ciklusom

- Tabela prikazuje ponašanje **4-bitnog integrisanog brojača** u zavisnosti od stanja kontrolnih signala.
- Signal dozvole E na najvišem prioritetu
- Brojač može da menja stanje u momentu nailaska aktivne (rastuće) ivice takta, pod uslovom da je $E = 1$, a funkcija mu je određena stanjima preostalih kontrolnih ulaza.
- Sledeći po prioritetu je RST- dovodi ulaz do resetovanja brojača, ukoliko je aktivan u trenutku okidanja
- Najniži prioritet ima ulaz LD koji dovodi do paralelnog upisa stanja dovodenog na ulaze $D_3..D_0$
- Poslednji slučaj u tabeli uobičajena situacija kada brojač obavlja primarnu funkciju u svakom period takta



(a) Šematski simbol

E	CLK	RST	LD	$Q'_3Q'_2Q'_1Q'_0$	operacija
0	X	X	X	$Q_3Q_2Q_1Q_0$	zadržava stanje
1	$\uparrow$	1	X	0 0 0 0	reset
1	$\uparrow$	0	1	$D_3D_2D_1D_0$	paralelni upis
1	$\uparrow$	0	0	$Q_3Q_2Q_1Q_0 + 1$	broji

(b) Funkcionalna tabela

Integrirani brojači i brojači sa skraćenim ciklusom

- 4-bitni integrirani brojač koji je upravo opisan može da prolazi kroz ukupno $2^4 = 16$ stanja
- Ako su na raspolaganju 2 brojača, njihovom kombinacijom moguće je realizovati 8-bitni brojač modula 256
- Izlaz Cout vezuje se na signal dozvole brojanja drugog brojača, čiji izlazi predstavljaju viša 4-bita 8-bitnog brojača $Q_7..Q_4$
- Brojač menja stanje tačno jednom na svakih 16 perioda takta prvog brojača
- Taktni signal je zajednički za oba integrisana brojača

<i>stanje</i>	Q_7	Q_6	Q_5	Q_4	Q_3	Q_2	Q_1	Q_0	<i>Cout</i>
0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	1	0
...	...	...	...	...	...	...	...	...	...
15	0	0	0	0	1	1	1	1	1
16	0	0	0	1	0	0	0	0	0
17	0	0	0	1	0	0	0	1	0
...	...	...	...	...	...	...	...	...	...
31	0	0	0	1	1	1	1	1	1
32	0	0	1	0	0	0	0	0	0
...	...	...	...	...	...	...	...	...	...
255	1	1	1	1	1	1	1	1	1
0	0	0	0	0	0	0	0	0	0

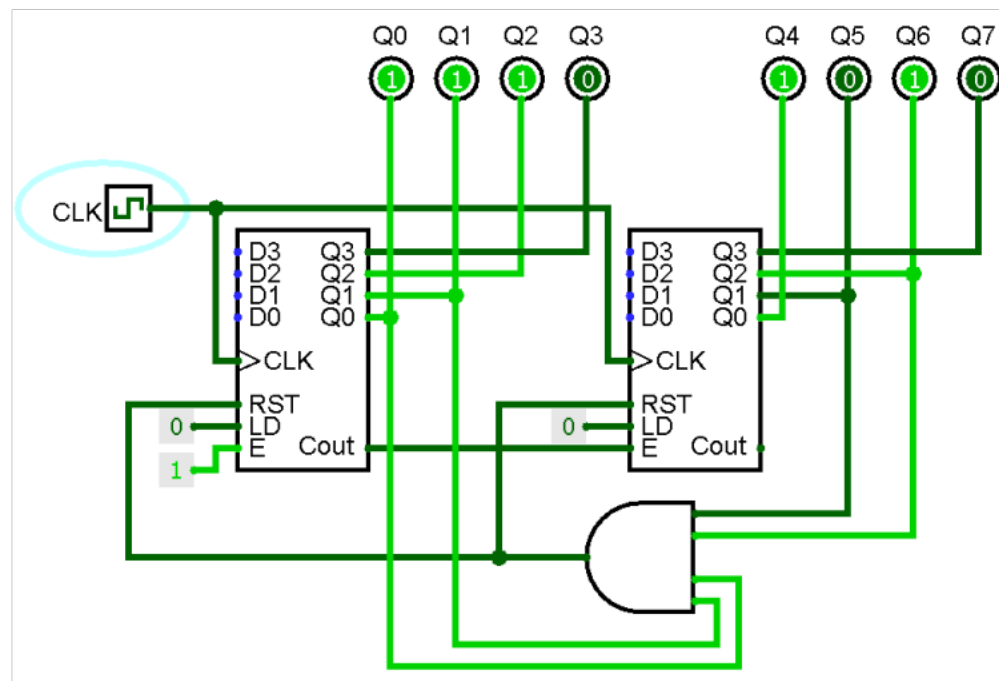
Tabela 1: Tabela stanja brojača modula 256

Integrisani brojači i brojači sa skraćenim ciklusom

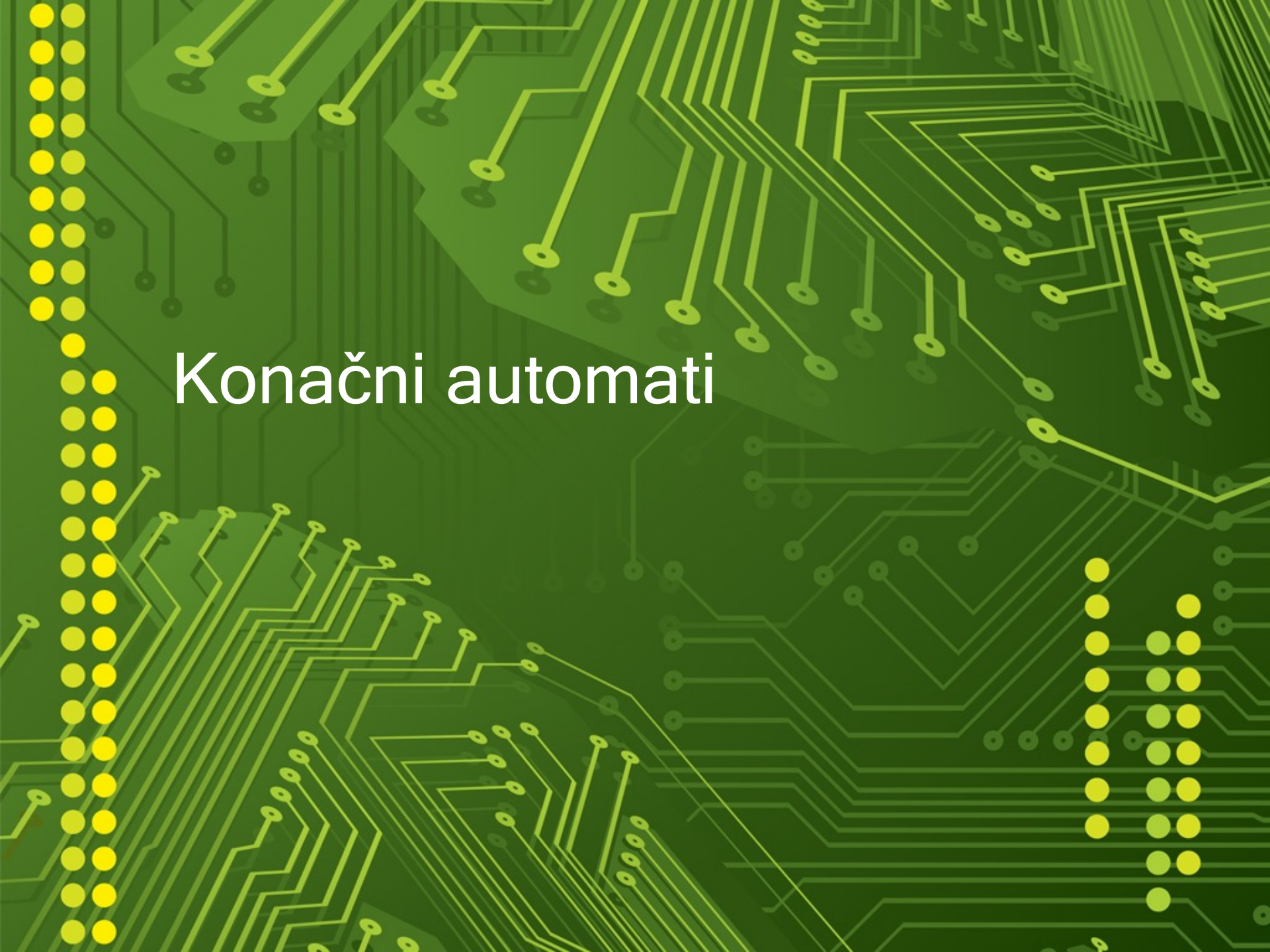
- **Primer:** Brojač modula 100
- Skraćivanje ciklusa brojanja 8-bitnog brojača sa 256 na 100 aktiviranjem signala za reset ($RST=1$)

$$99_{10} = 0110\ 0011_2$$

$$RST = Q_6 \cdot Q_5 \cdot Q_1 \cdot Q_0$$



Slika 7: Brojač modula 100

The background is a dark green field filled with a complex, stylized pattern of light green lines that resemble a circuit board or a neural network. These lines are interconnected by small circles, some of which are yellow. The overall effect is a sense of digital connectivity and complexity.

Konačni automati

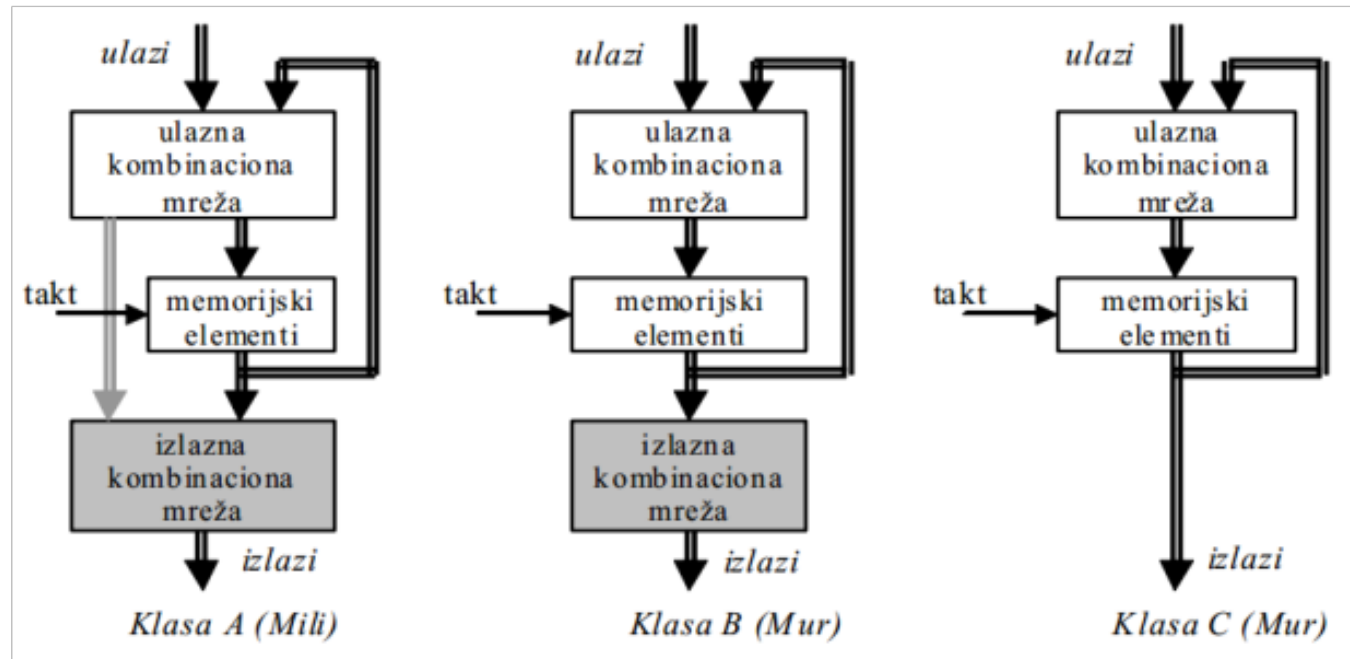
Konačni automati

- Šira klasa sekvencijalnih mreža, pored **trenutnog stanja** mreže na sledeće stanje utiču i **dodatni ulazni signali**
- *Tri funkcionalna bloka:*
 1. **Blok za određivanje narednog stanja** (ulazna kombinaciona mreža)
 2. **Registar stanja** (memorijski element)
 3. **Blok za određivanje izlaznih promenljivih** (izlazna kombinaciona mreža)

Podela konačnih automata (na osnovu načina formiranja izlaza):

1. **Milijev automat (automat klase A)**
2. **Murov automat (automat klase B i C)**

Konačni automati



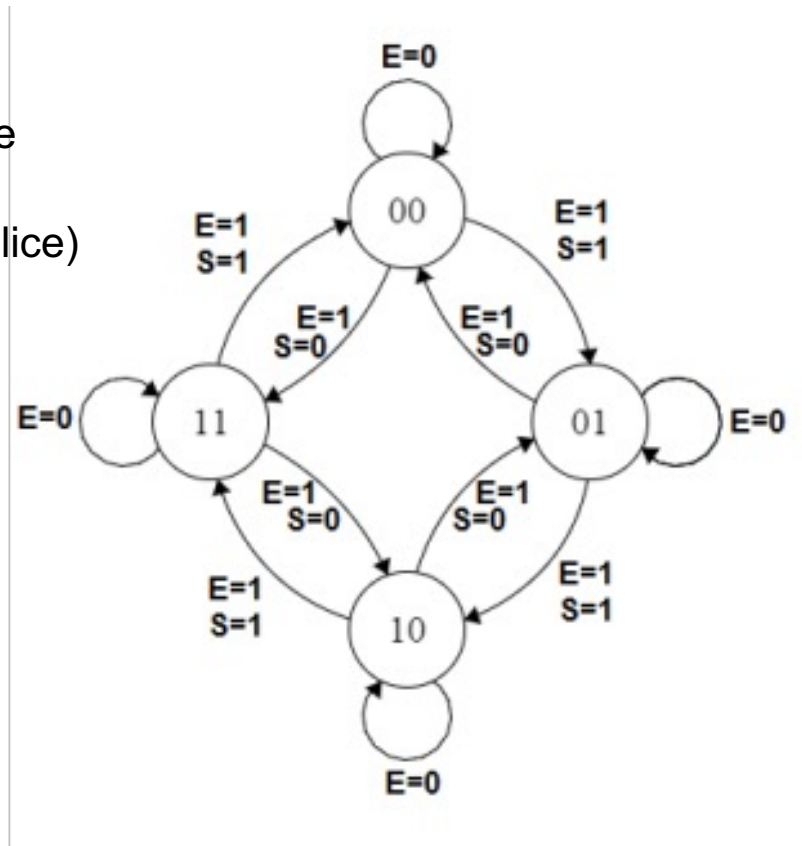
Slika 8: Struktura konačnih automata klase A, B i C

Ponašanje konačnih automata može se opisati na više načina, među kojima su najčešće korišćeni:

- **Dijagram stanja (bubble dijagram)**
- **Tablica prelaza/izlaza**
- **Tekstualni opis**

Konačni automati

- **Primer:** Dvobitni bidirekcionni (dvosmerni) brojač sa signalom dozvole brojanja (E)
- 2 flipflopa, ukupan broj stanja 4
- Realizacija korišćenjem D-flipflopa
- S – smer brojanja
- E=0-automat zadržava stanje
- Stanje (kružići), prelazi (strelice)



(a) Dijagram stanja dvobitnog bidirekcionog

Konačni automati

- Na osnovu dijagrama stanja popunjava se tabela prelaza
- Pobuda na osnovu eksitacione tabele D-flipflopa

Trenutno stanje		Ulazni signali		Naredno stanje		Pobuda FF	
Q_1	Q_0	E	S	Q'_1	Q'_0	D_1	D_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	1	1	1	1
0	0	1	1	0	1	0	1
0	1	0	0	0	1	0	1
0	1	0	1	0	1	0	1
0	1	1	0	0	0	0	0
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	0
1	0	0	1	1	0	1	0
1	0	1	0	0	1	0	1
1	0	1	1	1	1	1	1
1	1	0	0	1	1	1	1
1	1	0	1	1	1	1	1
1	1	1	0	1	0	1	0
1	1	1	1	0	0	0	0

(b) Tabela prelaza/izlaza

Slika 9: 2-bitni bidirekcionni brojač

Konačni automat

- Na osnovu **tabele prelaza/izlaza**, minimizacijom se određuju **funkcije pobude flipflopova** u zavisnosti od stanja automata i od ulaznih promenljivih.
- Projektovanje ulazne kombinacione mreže (funkcije pobude i realizacija automata)

$$D_1 = Q_1 \cdot \bar{E} + Q_1 \cdot \bar{Q}_0 \cdot S + Q_1 \cdot Q_0 \cdot \bar{S} + \bar{Q}_1 \cdot Q_0 \cdot E \cdot S + \bar{Q}_1 \cdot \bar{Q}_0 \cdot E \cdot \bar{S}$$

$$D_0 = Q_0 \cdot \bar{E} + \bar{Q}_0 \cdot E$$

