

# Spisak teorijskih pitanja

## Predavanje 1-2 - Introduction to Verification

- 1 Izazovi prilikom verifikacija dizajna. Navesti i ukratko objasniti.
- 2 Misija i ciljevi verifikacije.
- 3 Cena neotkrivenih bagova u dizajnu.
- 4 Verifikacioni ciklus. Navesti od kojih se koraka sastoji i objasniti svaki od njih.
- 5 Regresija u procesu verifikacije. Ukratko objasniti.
- 6 Escape analiza. Čemu služi i zašto je važna.
- 7 Verifikaciona hijerarhija. Nivoi hijerarhije. Ilustrovati primerom.
- 8 Designer nivo verifikacije.
- 9 Unit nivo verifikacije.
- 10 Core nivo verifikacije.
- 11 Chip nivo verifikacije.
- 12 System nivo verifikacije.
- 13 Smernice prilikom odlučivanja koje od nivoa verifikacije je potrebno koristiti.
- 14 Stopa pojave bagova (Bug Rate) i njena veza sa nivoima verifikacione hijerarhije.
- 15 Nacrtati i objasniti osnovnu strukturu verifikacionog okruženja baziranog na korišćenju simulatora.
- 16 Osnovne komponente verifikacionog okruženja. Nacrtati i objasniti.
- 17 Inicijatori kao stimulus komponente. Od čega bi trebalo da se sastoji svaki inicijator?
- 18 Responder-i kao stimulus komponente. Od čega bi trebalo da se sastoji svaki responder?
- 19 Monitor komponenta. Ukratko objasniti.
- 20 Checker komponenta. Ukratko objasniti.
- 21 Scoreboard komponenta. Ukratko objasniti.
- 22 Objasniti "Black Box" pristup prilikom povezivanja verifikacionog okruženja sa dizajnom koji se verifikuje (DUT).
- 23 Objasniti "White Box" pristup prilikom povezivanja verifikacionog okruženja sa dizajnom koji se verifikuje (DUT).
- 24 Objasniti "Grey Box" pristup prilikom povezivanja verifikacionog okruženja sa dizajnom koji se verifikuje (DUT).
- 25 Deterministički test bench-ovi. Objasniti osnovni koncept.
- 26 Self-Checking test bench-ovi. Osnovna ideja, navesti i ukratko objasniti postojeće vrste.
- 27 Self-Checking test bench baziran na konceptu zlatnih vektora.
- 28 Self-Checking test bench baziran na konceptu referentnog modela.
- 29 Self-Checking test bench baziran na konceptu transakcija.

## Predavanje 3 - Verification Plan

- 1 Verifikacioni plan. Zašto je važan i do čega se sastoji.
- 2 Verifikacioni plan - sekcija "opis verifikacionih nivoa".
- 3 Verifikacioni plan - sekcija "potrebni alati".
- 4 Verifikacioni plan - sekcija "rizici i međuzavisnosti".
- 5 Verifikacioni plan - sekcija "funkcije koje je potrebno verifikovati".
- 6 Verifikacioni plan - sekcija "posebni testovi i metodi - okruženje".
- 7 Verifikacioni plan - sekcija "merenje pokrivenosti".

- 8 Verifikacioni plan - sekcija "scenario testova".
- 9 Verifikacioni plan - sekcija "zahtevi po pitanju resursa".
- 10 Verifikacioni plan - sekcija "vremenski tok i raspored".

#### **Predavanje 4 - Creating Verification Environment**

- 1 Dimenzije modelovanja u HDL jezicima. Navesti koje postoje i postojeće nivoe unutar svake od njih.
- 2 Simulatori. Svrha i osnovna podela na osnovu načina rada.
- 3 Odnos brzine simulacije i detalja modela koji se simulira.
- 4 Event-Driven simulacija. Objasniti osnovnu ideju i kako se ona primenjuje na simuliranje modela digitalnih sistema.
- 5 Objasniti princip rada "Event-Driven" simulatora.
- 6 Objasniti od čega zavisi brzina "Event-Driven" simulacije i kako se ona može povećati.
- 7 "Cycle-Based" simulacija. Osnovni princip, kada se može koristiti.
- 8 Jezici za verifikaciju hardvera. Navesti i objasniti njihove osnovne karakteristike.

#### **Predavanje 6-7 - Strategies of Stimulus Generation**

- 1 Navesti četiri paradigme generisanja stimulusa i ukratko ih objasniti.
- 2 Uporediti determinističko generisanje stimulusa sa slučajnim generisanjem. Prednosti i mane svakog od njih.
- 3 Opsti algoritam za generisanje stimulusa unutar stimulus komponente. Nacrtati i objasniti.
- 4 Objasniti moguće načine inicijalizacije generatora prilikom slučajnog generisanja stimulusa.
- 5 Navesti i ukratko objasniti dva pristupa razrešavanju ograničenja (Constraint Solving) prilikom slučajnog generisanja stimulusa.
- 6 Objasniti značaj pravilnog redosleda razrešavanja ograničenja nametnutnih promenljivim prilikom slučajnog generisanja stimulusa.
- 7 Od kojih koraka se sastoji proces razrešavanja ograničenja (Constraint Solving) unutar stimulus komponenti. Ukratko objasniti svaki od njih.

#### **Predavanje 8-9 - Strategies for Result Checking**

- 1 Navesti i ukratko objasniti načine provere ispravnosti rada DUT-a. Uporediti ih međusobno.
- 2 Objasniti „On-the-Fly Checking“ pristup provere ispravnosti rada DUT-a. Navesti glavne prednosti ovog pristupa.
- 3 Objasniti „End-of\_Test Case Checking“ pristup provere ispravnosti rada DUT-a. Navesti glavne prednosti ovog pristupa.
- 4 Objasniti Debug proces prilikom verifikacije dizajna.
- 5 Tačke observacije (Observation points). Čemu služe i osnovne smernice kojih se treba pridržavati prilikom njihovog postavljanja.
- 6 Izveštavanje o detektovanim greškama. Dobar i loš pristup. Ukratko objasniti.
- 7 Tehnike i alati koji se mogu koristiti u procesu debugovanja. Navesti i objasniti svaki od njih.
- 8 Uticaj vrste test bencha na mogućnost efikasnog debug-a.
- 9 Debugovanje unapred generisanih testova.
- 10 Debugovanje testova generisanih tokom simulacije.
- 11 Debugovanje okruženja kod kojih se koristi proveravanje u toku simulacije i na kraju simulacije.
- 12 Ponovno korišćenje verifikacionih komponenti (Verification Re-Use). Navesti i ukratko objasniti koje vrste postoje. Navesti osnovne smernice kojih se treba pridržavati u cilju kreiranja verifikacionih komponenti koje se mogu ponovo koristiti (re-usable verification components).
- 13 components).
- 14 Ponovno korišćenje verifikacionih komponenti (Verification Re-Use) - nezavisne stimulus komponente. Objasniti osnovnu ideju.
- 15 Ponovno korišćenje verifikacionih komponenti (Verification Re-Use) - dinamičko mapiranje signala. Objasniti osnovnu ideju.

#### **Predavanje 10-11 - Monitoring the Verification Flow**

- 1 Verifikaciona pokrivenost (Verification Coverage). Ukratko objasniti zašto je važna i šta predstavlja.

- 2 Oblasti unutar verifikacionog okruženja gde se može meriti verifikaciona pokrivenost (Verification Coverage Target Areas).
- 3 Ciljevi merenja verifikacione pokrivenosti (Verification Coverage Goals).
- 4 Navesti i ukratko objasniti vrste modela verifikacione pokrivenosti koji se koriste u praksi.
- 5 Strukturna pokrivenost (Code Coverage). Osnovna ideja, dobre I loše strane. Navesti i ukratko objasniti najčešće korišćene mere.
- 6 Toggle coverage.
- 7 Line coverage.
- 8 Statement coverage.
- 9 Branch coverage.
- 10 Path coverage.
- 11 Condition coverage.
- 12 FSM coverage.
- 13 Neophodni koraci u procesu korišćenja strukturne pokrivenosti (Code Coverage). Navesti i ukratko objasniti svaki od njih.
- 14 Funkcionalna pokrivenost (Functional Coverage). Osnovna ideja.
- 15 Koraci prilikom formiranja modela funkcionalne pokrivenosti. Navesti i ukratko objasniti.
- 16 Matrični model zavisnosti atributa funkcionalne pokrivenosti. Objasniti i navesti primer.
- 17 Hijerarhijski model zavisnosti atributa funkcionalne pokrivenosti. Objasniti i navesti primer.
- 18 Hibridni model zavisnosti atributa funkcionalne pokrivenosti. Objasniti i navesti primer.
- 19 Navesti tri modela zavisnosti atributa funkcionalne pokrivenosti. Dobre i loše strane.
- 20 Semplovanje ulaznih atributa u slučaju funkcionalne pokrivenosti.
- 21 Semplovanje izlaznih atributa u slučaju funkcionalne pokrivenosti.
- 22 Semplovanje unutrašnjih atributa u slučaju funkcionalne pokrivenosti.

### **Predavanje 12-13 - Completing the Verification Cycle**

- 1 Regresija u verifikacionom ciklusu. Ukratko objasniti značaj i mesto.
- 2 Kvalitet regresije.
- 3 Efikasnost regresije.
- 4 Prikupljanje test slučajeva za potrebe regresije (Test Case Harvesting).
- 5 Korišćenje simulacione mreže (Workstation Farm) za ubrzavanje regresije.
- 6 Praćenje problema (Problem Tracking).
- 7 Životni ciklus problema (Issue Life Cycle). Koje probleme se isplati pratiti.
- 8 Spremnost za "Tape-Out" (Tape.-Out Readiness). Ukratko objasniti značaj i smisao. Metrike koje se koriste za procenu.
- 9 "Tape-Out Readiness" metrika zasnovana na stopi pojave bagova (Bug Rate Metric).
- 10 "Tape-Out Readiness" metrika zasnovana na merenju pokrivenosti (Coverage Closure).
- 11 Veza između "Bug Rate" i "Coverage Closure" metrika.
- 12 Nacrtati i opisati algoritam za utvrđivanje trenutka kada se dizajn može poslati na fabrikaciju.
- 13 "Escape" analiza.
- 14 Objasniti od kojih se koraka sastoji analiza individualnih bagova u okviru "Escape" analize.
- 15 Vreme do razumevanja бага (Time to Understanding). Objasniti.
- 16 Nivo težine бага (Bug Level of Difficulty).
- 17 Oblast u kojoj se nalazi bag (Area of the Bug).
- 18 Mogućnost zaobilazjenja бага (Work-Around Capability).
- 19 Klasifikacija бага od strane dizajnera.
- 20 Trendovi u "Escape" analizi.

- 21 Butstrapovanje verifikacionog procesa.
- 22 Generisanje test vektora vođeno analizom pokrivenosti (Coverage-Directed Generation). Objasniti i navesti postojeće tehnike.
- 23 "Dynamic Coverage-Controlled Stimulus Generation".
- 24 "Model-Based Coverage-Driven Test Generation".
- 25 "Automated Coverage-Controlled Generation".
- 26 Verifikacija bazirana na tvrđenjima (Assertion Based Verification).
- 27 Značaj i klasifikacija tvrđenja (Assertions).
- 28 Nedostaci funkcionalne verifikacije i rešenje koje pruža formalna verifikacija.
- 29 "Formal Boolean Equivalence Checking". Njegova funkcija u savremenom projektovanju VLSI kola.
- 30 Mit o kompletnoj verifikaciji dizajna korišćenjem tehnika formalne verifikacije.