



УНИВЕРЗИТЕТ  
У НОВОМ САДУ



ФАКУЛТЕТ  
ТЕХНИЧКИХ НАУКА

Трг Доситеја Обрадовића 6, 21000 Нови Сад, Република Србија  
Деканат: 021 6350-413; 021 450-810; Централа: 021 485 2000  
Рачуноводство: 021 458-220; Студентска служба: 021 6350-763  
Телефакс: 021 458-133; e-mail: [ftndeans@uns.ac.rs](mailto:ftndeans@uns.ac.rs)

ИНТЕГРИСАНИ  
СИСТЕМ  
МЕНАџМЕНТА  
СЕРТИФИКОВАН ОД:



# Napredno računarsko projektovanje mikroelektronskih kola

## Upustvo za laboratorijske vežbe 2

Novi Sad, oktobar 2017. godine

## UPRAVLJANJE VELIKIM KAPACITIVNOSTIMA

Sve veće vrednosti kapacitivnosti interkonekcija, posebno kod globalnih signala, nameću potrebu za efikasnim drajverima koji mogu dovoljno brzo da pune i prazne ove kapacitivnosti.

Ovaj problem je dalje povećan činjenicom da u kompleksnim kolima jedno logičko kolo često mora da napaja veliki broj priključenih logičkih kola (a time je i kapacitivno opterećenje veliko). Tipični primeri kola sa velikim brojem priključenih kola predstavljaju magistale, taktne mreže i kontrolni signali (kao što su *set* i *reset* signali), kao i memorije gde su kontrolni signali priključeni na veliki broj ćelija. Kapacitivnost ovakvih tačaka može da dostigne i vrednost od nekoliko pF.

Najgori slučaj je za signale koji odlaze sa čipa. Njihovo opterećenje se sastoji iz ožičenja pakovanja, štampane ploče i ulazne kapacitivnosti priključenih integrisanih kola ili komponente. Tipične vrednosti ovih kapacitivnosti su od 20 pF do 50 pF, što je znatno veće od standardnog opterećenja na čipu. Zbog toga dovoljno brzo upravljanje ovim kapacitivnostima postaje jedan od najvažnijih problema u projektovanju kola.

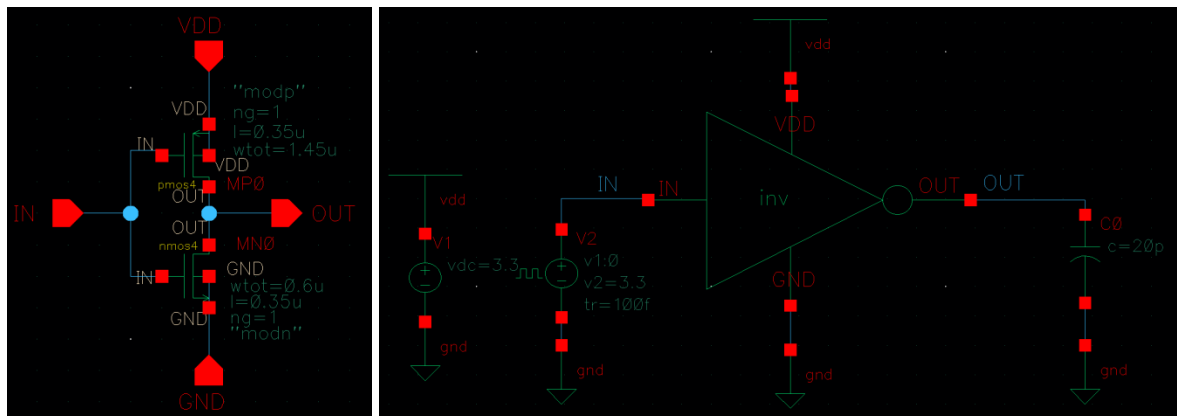
### REŠENJA:

Postoje dva dominantna pristupu efikasnog upravljanja kapacitivnim opterećenjima:

- Odgovarajuće dimenzionisanje tranzistora u cilju postizanja što veće brzine,
- Podela drajvera u lance bafera sa postepeno povećavanjem dimenzijama, pomaže u rešavanju problema prevelikog broja priključenih kola.

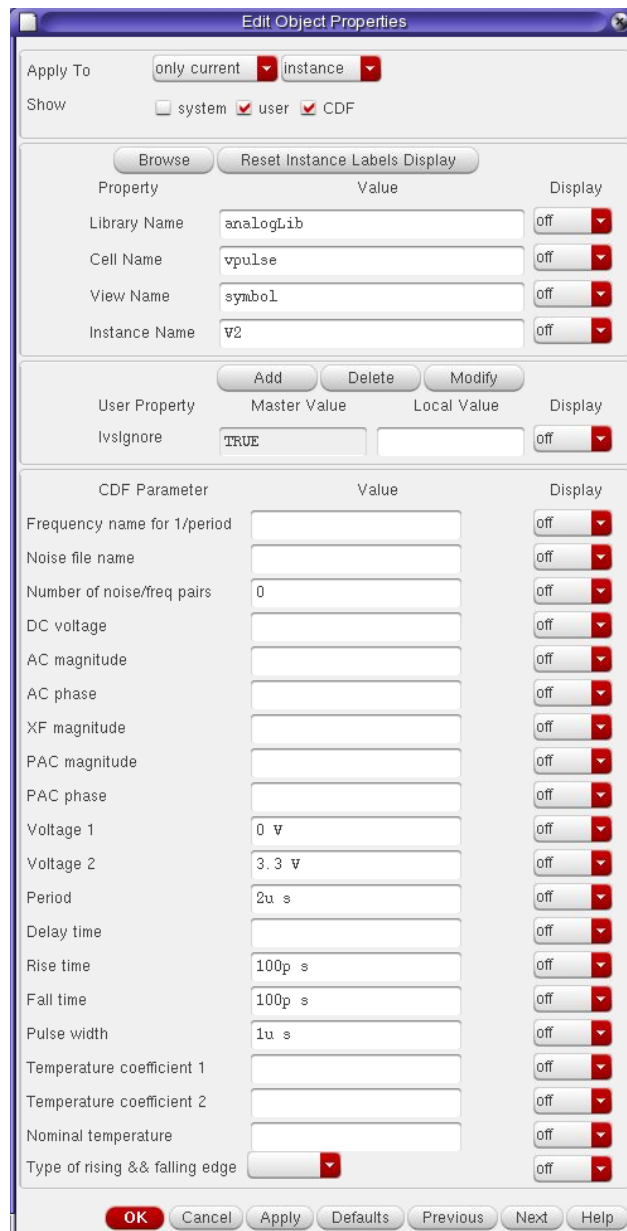
Tokom ovih vežbi problem velike kapacitivnosti ćemo rešiti korišćenjem drugog pristupa, tj. ubacivanjem lanca bafera sa postepenim povećanjem dimenzija.

Na početku posmatrajmo CMOS invertor dimenzija tranzistora:  $W_n/L=600\text{ nm}/0,35\text{ }\mu\text{m}$ ,  $W_p/L=1450\text{ nm}/0,35\text{ }\mu\text{m}$  (odnos dimenzija p-kanalnog i n-kanalnog tranzistora koji omogućava simetričan signal i približno minimalno kašnjenje, lab vežba 1). Za opterećenje na izazu koristiti kondenzator vrednosti  $C_L=20\text{ pF}$ , slika 1.



**Slika 1:** Električna šema invertora i test kola sa velikim kapacitivnim opterećenjem.

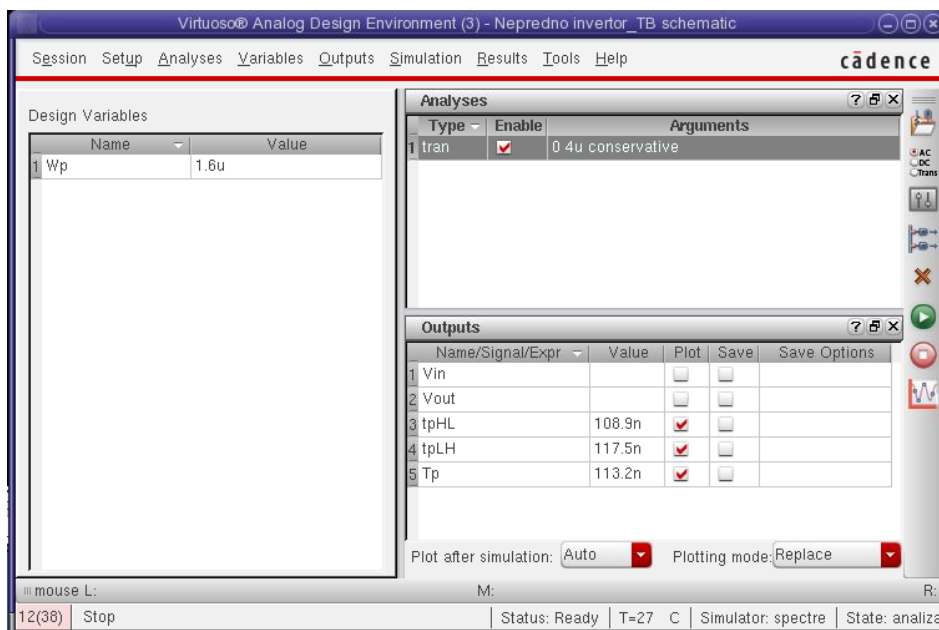
Parametri pobudnog impulsnog generatora na ulazu su podešeni kao na slici 2.



**Slika 2:** Podešavanje parametara pobudnog, impulsnog generatora.

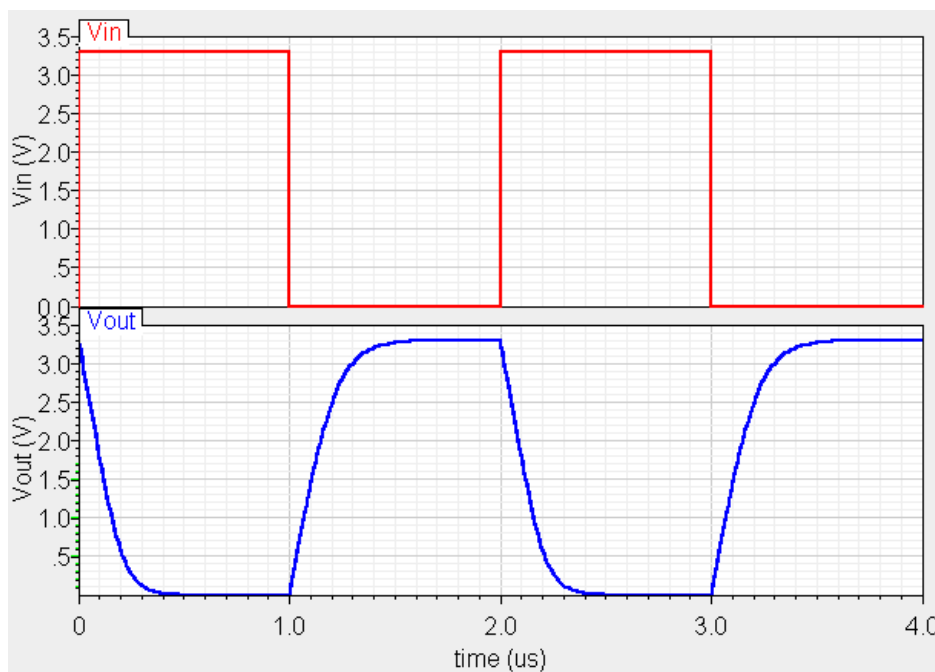
Na početku vežbe ćemo prvo odrediti kašnjenje signala prikazanog kola (sa opterećenjem  $C_L=20$  pF i bez opterećenja).

U prozoru *Analog Design Environment (ADE)* podesiti tranzijentnu analizu kola trajanja  $4 \mu\text{s}$  i metoda tačnosti (**Accuracy Defaults**) **conservative**. Odaberi **Outputs -> Setup...** Slično kao i u lab vežbi 1 podesiti kašnjenje opadajuće ( $t_{pHL}$ ) i rastuće ( $t_{pLH}$ ) ivice signala na izlazu (*out*) u odnosu na signal na ulazu (*in*) korišćenjem specijalne funkcije **delay** i ukupno kašnjenje (propagaciju) kao srednju vrednost pomenutih parametara ( $tp=(t_{pHL} + t_{pLH})/2$ ). Izgled prozora *Analog Design Environment* je prikazan na slici 3.



**Slika 3:** Izgled ADE prozora: tranzijentna analiza sa podešenim vremenom kašnjenja kola.

Pokreniti analizu. Vrednost vremena propagacije je 118,1 ns ( $t_{pHL}=108,9$  ns i  $t_{pLH}=117,5$  ns). Signali na ulazu i izlazu kola su prikazani na slici 4.



**Slika 4:** Rezultati simulacija.

Odredimo sad i vreme propagacije neopterećenog kola. Odspojite kondenzator na izlazu kola i ponovo pokrenuti simulaciju. Dobija se vreme propagacije kola od 39,26 ps ( $t_{pHL}=39,64$  ps i  $t_{pLH}=38,88$  ps).

Vidimo da je zbog nemogućnosti (malih) tranzistora invertora da brzo pune i prazne veliku kapacitivnost na izlazu kola vreme propagacije znatno povećano.

Da bismo odredili optimalan lanca bafera koji može da upravlja velikom vrednošću kapacitnosti  $C_L$ , treba prvo da odredimo efektivni faktor grananja ( $F = C_L/C_{in}$ ). Ulaznu kapacitivnost invertora možemo da približno izračunamo kao zbir kapacitivnosti  $C_{gs}$

n-kanalnog i p-kanalnog tranzistora (Napomena: koristimo izraze za kapacitivnost između gejta i sorsa tranzistora u saturaciji uz zanemarenu kapacitivnost preklapanja,  $C_{ov}$ , i kapacitivnost u povretnoj sprezi između gejta i drejna,  $C_{gd}$ ).

$$C_{gsn} = \frac{2}{3}C_{ox}W_nL = \frac{2}{3} \cdot 4,54 \text{ fF}/\mu\text{m}^2 \cdot 0,6 \mu\text{m} \cdot 0,35 \mu\text{m} \approx 0,63 \text{ fF}$$

$$C_{gsp} = \frac{2}{3}C_{ox}W_pL = \frac{2}{3} \cdot 4,54 \text{ fF}/\mu\text{m}^2 \cdot 1,45 \mu\text{m} \cdot 0,35 \mu\text{m} \approx 1,536 \text{ fF}$$

$$C_{in} = C_{gn} + C_{gp} = 2,06 \text{ fF}$$

Tačnu kapacitivnost možemo dobiti iz AC analize kola, tako što admitansu na ulazu kola (količnik ulazne struje i napona) i podelimo sa izrazom  $2\pi f$ :

$$\frac{i_{in}}{v_{in}} = j\omega C_{gs} = j2\pi f C_{gs} \Rightarrow C_{gs} = \left| \frac{i_{in}}{v_{in}} \right| \frac{1}{2\pi f}$$

Pošto se za određivanje kapacitivnosti koristiti AC analiza u šematičku za pobudni generator koristiti izvor jednosmernog napona  $vdc$  i AC amplitude ( $AC$  magnitude) od 1 mV, slika 5.

Podesiti AC analizu u kojoj se frekvencija menja od 0 do 100 MHz, slika 6.

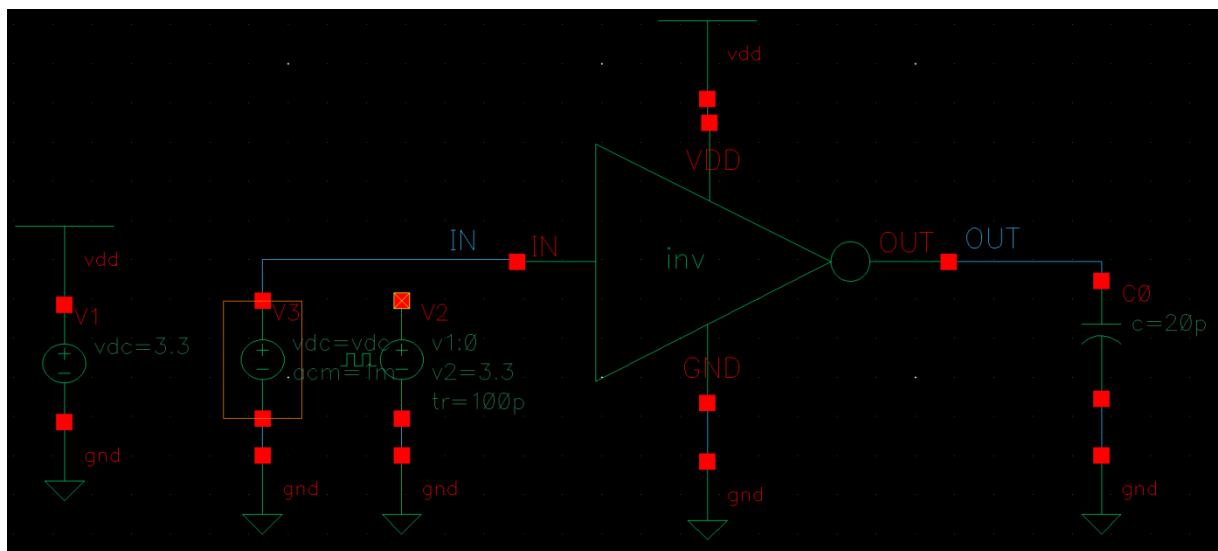
Pre nego što pokrenemo simulaciju moramo da zadamo i polarizaciju tranzistora (vrednost parametra  $vdc$ ). Posmatraćemo tri slučaja: kada n-kanalni tranzistor radi u omskoj oblasti, a p-kanalni je isključen ( $vdc=3,3$  V), kada p-kanalni tranzistor radi u omskoj oblasti, a n-kanalni je isključen ( $vdc=0$  V) i kada oba tranzistora rade u saturaciji ( $vdc=1,65$  V).

Kapacitivnost se u sva tri slučaja dobija na osnovu izraza (slika 7):

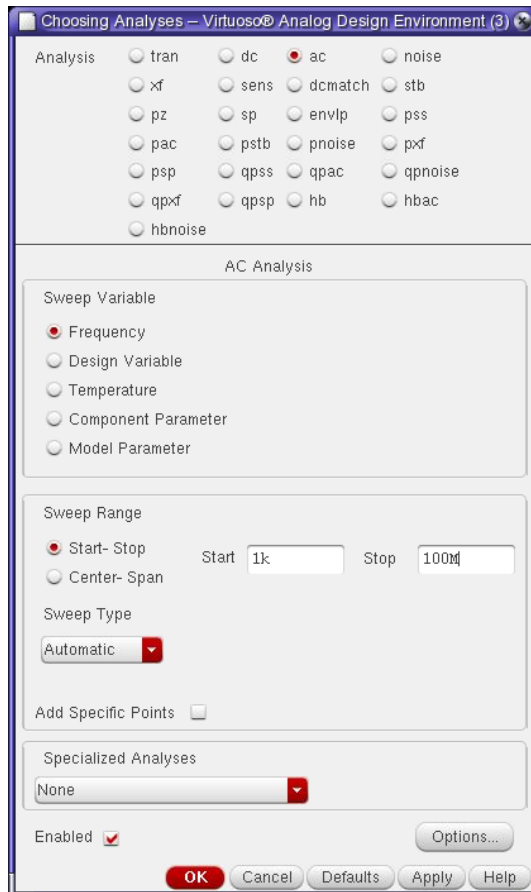
$$\left( \frac{IF(.,/V3/PLUS)}{VF(.,/inv\_in)} \right) / (2/\pi) / xval(IF(.,/V3/PLUS)/VF(.,/inv\_in)),$$

gde je su IF i VF struja (pozitivnog čvora) i napon pobudnog generatora, a  $xval$  predstavlja funkciju koja daje vrednosti izraza, grafika po x osi. Pošto veličine  $IF(.,/V3/PLUS)$  i  $VF(.,/inv\_in)$  zavise od frekvencije, na ovaj način se dobija frekvencija.

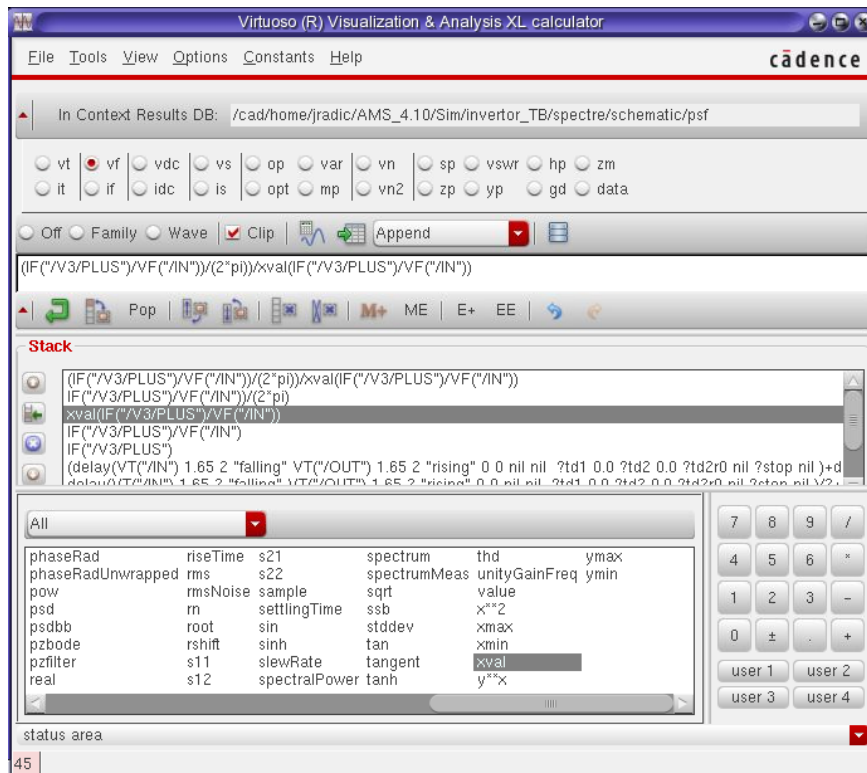
Dobijene vrednosti kapacitivnosti su prikazane na slikama 8-10.



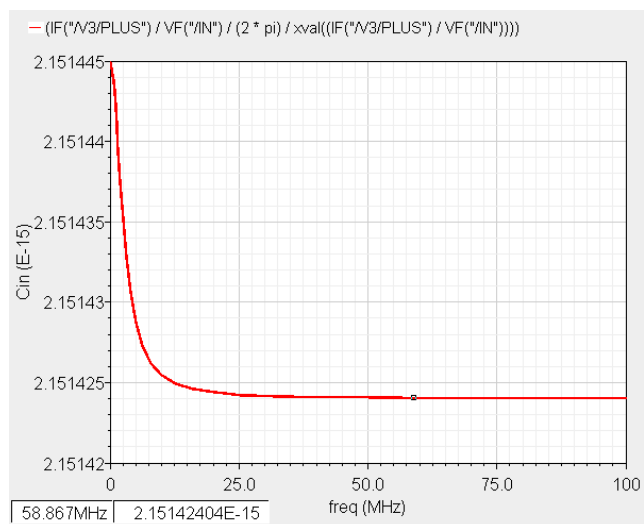
Slika 5: Izgled test kola pri određivanju ulazne kapacitivnosti.



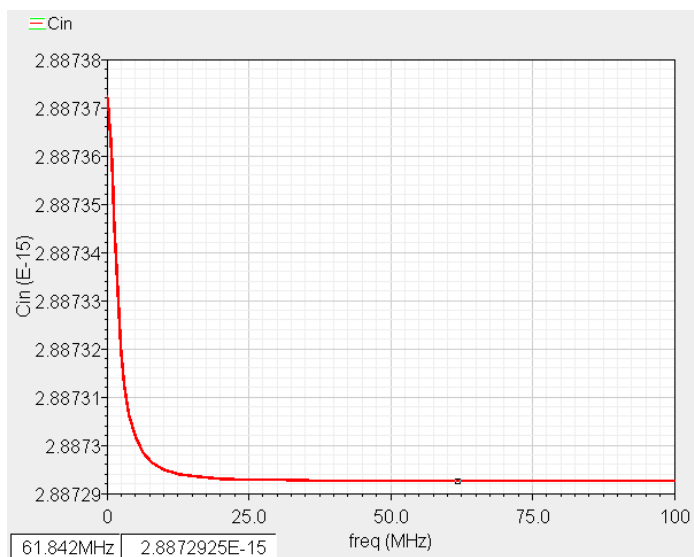
Slika 6: Podešavanje AC analize pri određivanju ulazne kapacitivnosti.



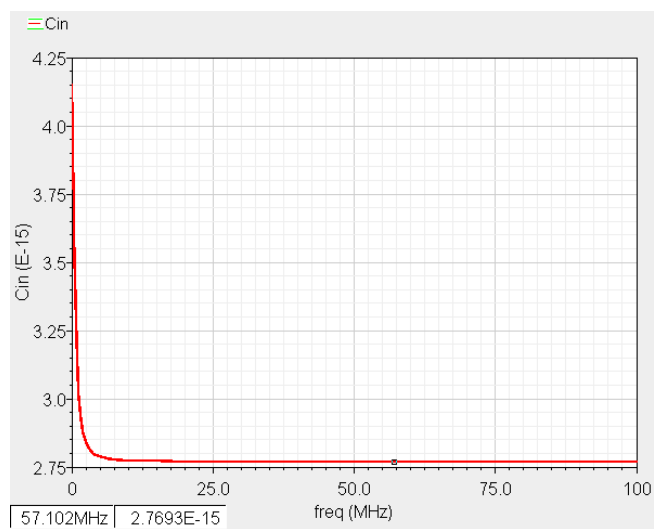
Slika 7: Izraz za određivanje ulazne kapacitivnosti.



**Slika 8:** Ulazna kapacitivnost invertora za vrednost parametra  $v_{dc}=3,3$  V.



**Slika 9:** Ulazna kapacitivnost invertora za vrednost parametra  $v_{dc}=0$  V.



**Slika 10:** Ulazna kapacitivnost invertora za vrednost parametra  $v_{dc}=1,65$  V.

Na osnovu prikazanih rezultata sledi da se najmanja kapacitivnost ( $C_{in} = 2,15 \text{ fF}$ ) dobija kada provodi samo n-kanalni MOS tranzistor (očekivano, jer ima manje dimenzije od p-kanalnog MOS tranzistora). Za pomenutu vrednost kapacitivnosti se dobija faktor grananja:

$$F = \frac{C_L}{C_{in}} = \frac{20 \text{ pF}}{2,15 \text{ fF}} \approx 9302.$$

Na osnovu prikazanog sledi da je potrebno koristiti višestepeni bafer. Optimizovanjem dimenzija NMOS i PMOS tranzistora za lanac od  $N=7$  bafera, dobija se da je ukupno vreme propagacije  $t_p=1,01 \text{ ns}$ , pri čemu faktor skaliranja treba da bude oko 3,69.

$$f^N = F \Rightarrow f = \sqrt[N]{F} = \sqrt[7]{9302} \approx 3,69$$

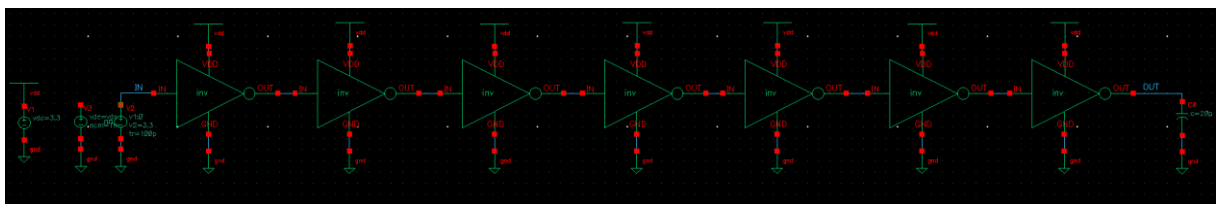
$$t_p = N \cdot f \cdot t_{d0} = 7 \cdot 3,69 \cdot 39,26 \text{ ps} \approx 1,01 \text{ ns}.$$

Vrednosti optimalnih dimenzija tranzistora za faktor grananja 3,69 (lanac od 7 bafera) u AMS  $0,35 \mu\text{m}$  tehnologiji su prikazani u tabeli 1, počevši od tranzistora minimalnih dimenzija. Na osnovu dobijenih rezultata vidi se da poslednji stepen mora da ima izuzetno velike dimenzije tranzistora, odnosno da se malo kašnjenje dobija na račun velikih dimenzija tranzistora, tj. velike površine i samim tim cene fabrikacije uređaja.

**TABELA 1:** Optimalne dimenzije tranzistora za faktor grananja 3,73.

Broj invertora	1	2	3	4	5	6	7
$W_n (\mu\text{m})$	0,60	2,214	8,17	30,15	111,24	410,47	1514,64
$W_p (\mu\text{m})$	1,35	4,98	18,38	67,83	250,29	923,56	3407,94

Kopirati početni bafer 6 puta i podesiti dimenzije novih bafera na osnovu vrednosti datih u tabeli 1. **Napomena:** Nemoguće je uneti tačne dimenzije kao u tabeli. U test kolu projektovati lanac od 7 bafer pomenutih dimenzija, slika 11. Napomena: na ulazu ostaviti povorku četvrtki i uključiti tranzijentnu analizu (isključiti ac analizu koja je korišćena za određivanje ulazne kapacitivnosti).



**Slika 11:** Električna šema test kola za lanac od 7 bafera.

Pokrenuti tranzijentnu analizu. Obratiti pažnju da važe izrazi koji su korišćeni za dobijanje kašnjenja u početnoj analizi, ako su zadržani isti nazivi žica na ulazu i izlazu kola (**IN** i **OUT**).

Dobija se vreme propagacije kola od 808,6 ps ( $t_{pHL}=806,2 \text{ ps}$  i  $t_{pLH}=811,0 \text{ ps}$ ), što je nešto manje od očekivane vrednosti ( $t_p=1,01 \text{ ns}$ ) i znatno manje od vrednosti dobijene simulacijama za kolo sa samo jednim baferom minimalnih dimenzija (113,2 ns). Smanjeno vreme propagacije je dobijeno na račun povećane površine uređaja.