



УНИВЕРЗИТЕТ
У НОВОМ САДУ



ФАКУЛТЕТ
ТЕХНИЧКИХ НАУКА

Трг Доситеја Обрадовића 6, 21000 Нови Сад, Република Србија
Деканат: 021 6350-413; 021 450-810; Централа: 021 485 2000
Рачуноводство: 021 458-220; Студентска служба: 021 6350-763
Телефакс: 021 458-133; e-mail: ftndeans@uns.ac.rs

ИНТЕГРИСАНИ
СИСТЕМ
МЕНАџМЕНТА
СЕРТИФИКОВАН ОД:



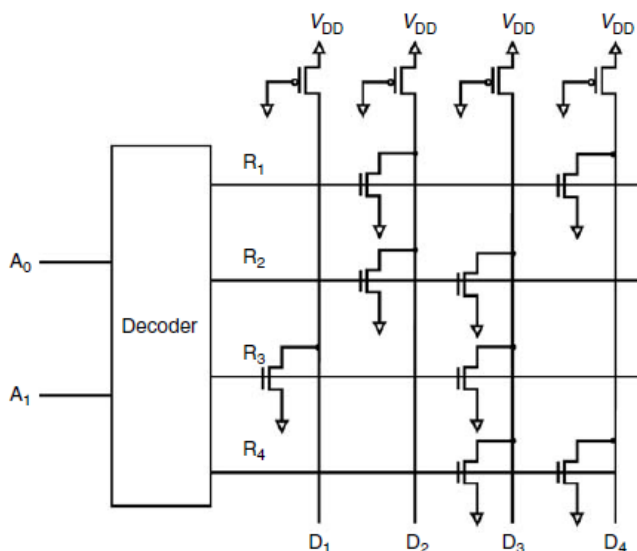
Napredno računarsko projektovanje mikroelektronskih kola

Upustvo za laboratorijske vežbe 4

Novi Sad, oktobar 2017. godine

ANALIZA RADA 4x4 MOS NILI ROM MEMORIJE

Na slici 1 je prikazana 4x4 MOS NILI ROM.



Slika 1: Električna šema 4x4 MOS NILI ROM memorije

Dekoder selektuje koja reč će biti prosleđena na izlaz. Memoriji se pristupa pomoću selekcionih signala WL0 do WL3 (izlazi dekodera). U svakom trenutku će biti selektovana samo po jedna reč BL3, BL2, BL1 ili BL0.

Treba primetiti da pull-up PMOS tranzistor i pull-down NMOS tranzistor formiraju pseudo – NMOS, sa WL signalima kao ulazima. Zato se NxM ROM memorija može posmatrati kao kombinacija M NILI logičkih kola sa najviše N ulaza (sa potpuno punjenom kolonom).

Zbog pseudo NMOS strukture, potrebno je voditi računa o dimenzionisanju tranzistora:

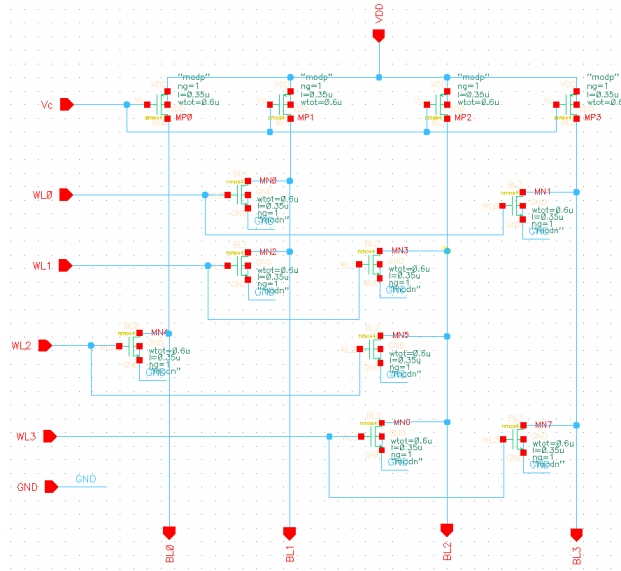
Potrebno je da kapacitivnosti memorijske ćelije i bit linije budu što manje, tj. da dimenzije NMOS tranzistora budu što manje.

S druge strane, otpornost pull-up tranzistora treba da bude veća od otpornosti pull-down tranzistora da se obezbedi odgovarajući nizak nivo (barem 4 puta). Ova velika otpornost može loše uticati na brzinu rada memorije, jer BL kapacitivnost može biti reda pF za veće memorije.

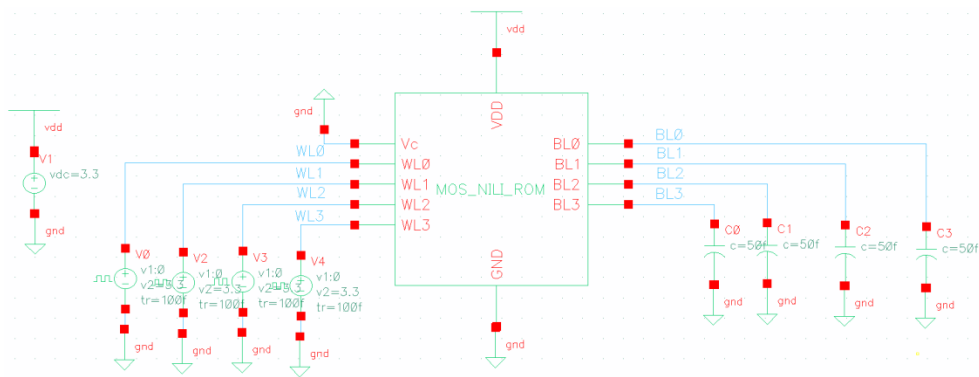
Za razliku od standardnih digitalnih mreža u memorijama se pravi kompromis između margine smetnji, koja se smanjuje (V_{OL} će biti viši nego obično) na račun povećanja brzine. PMOS se projektuje da bude širi, margina smetnji smanjuje samo u memorijskom jezgru gde se smetnje i interferencija signala pažljivo kontrolišu. Na izlazu iz memorije potrebna je restauracija signala korišćenjem pojačavača.

Zadatak

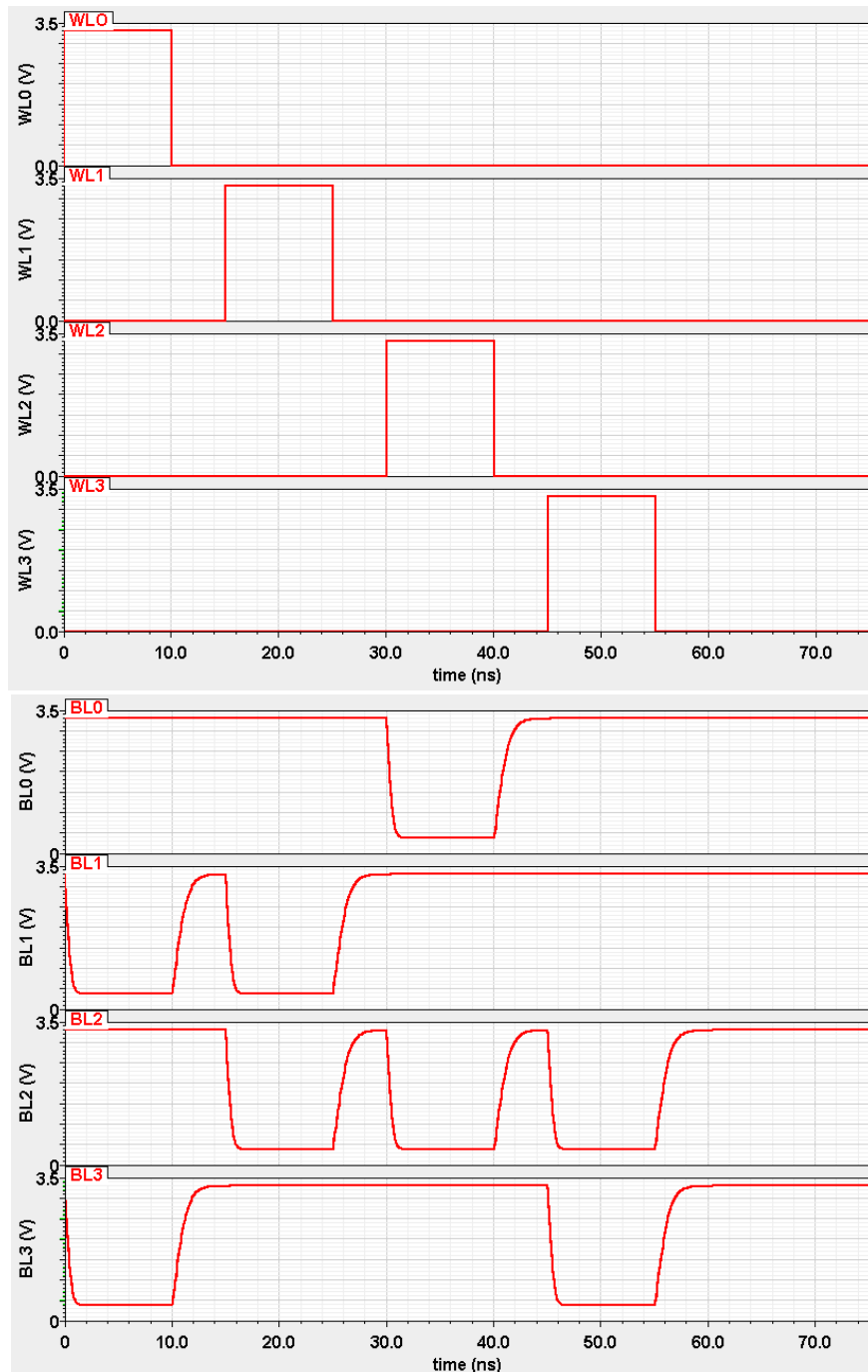
Projektovati šematič 4x4 MOS NILI ROM memorije u skladu sa slikom 1. Za dimenzije kanala tranzistora koristiti $W/L=0,6\mu\text{m}/0,35\mu\text{m}$ (slika 2). Kreirati simbol projektovane memorije i nakon toga projektovati kolo za testiranje rada (slika 3). U kolu za testiranje rada dodati osim simbola memorije i četiri naponska impulsa generatora koji će biti povezani na odgovarajuće WL ulaze memorije i impulsni generator koji će biti povezan na ulaz Vc, tj. gejtove PMOS tranzistora. Podesiti odgovarajuće vremenske oblike napona generatora. Izlaze BL preko kapacitivnosti od 50fF povezati na masu. Napon napajanja kola postaviti na 3,3V. Rezultati simulacija su prikazani na slici 4.



Slika 2: Šematič 4x4 MOS NILI ROM memorije projektovan u programskom paketu Cadence korišćenjem 0,35 μm COMS tehnologije

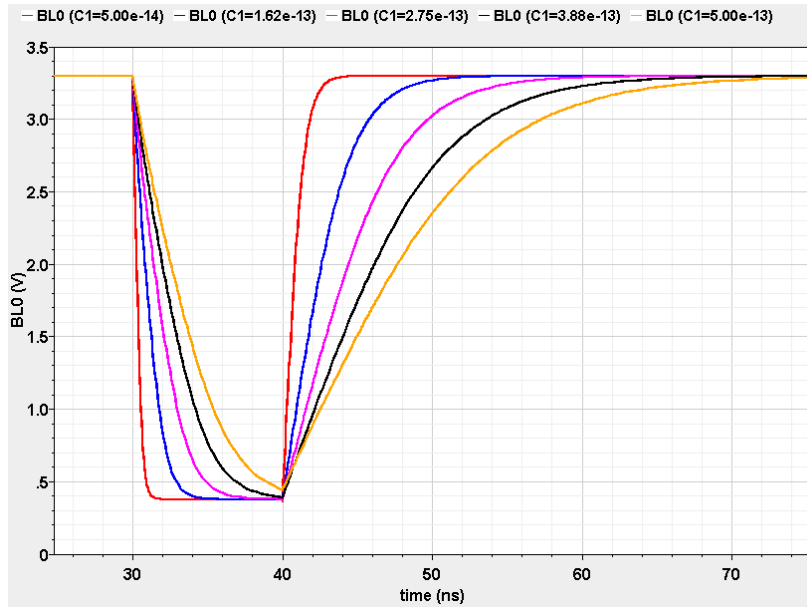


Slika 3: Test kolo 4x4 MOS NILI ROM memorije

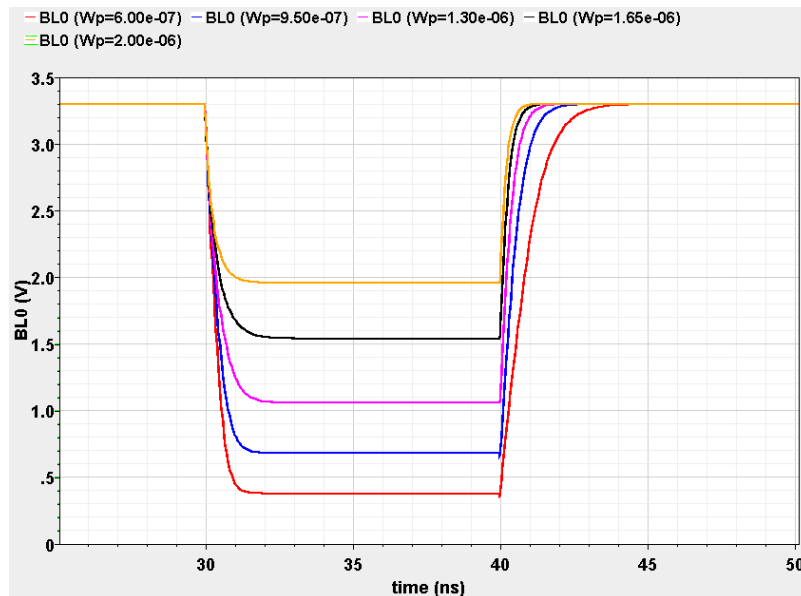


Slika 4: Rezultati simulacija 4x4 MOS NILI ROM memorije

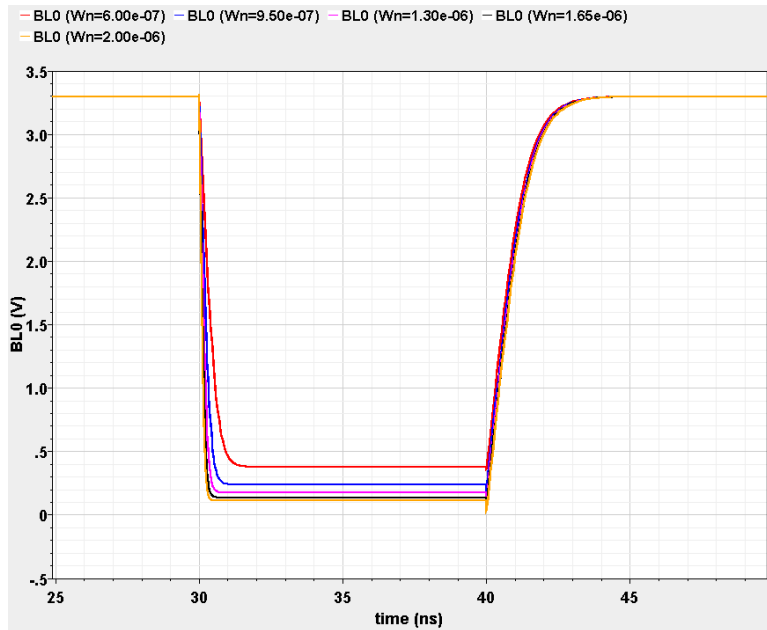
Pomoću parametrizovanih simulacija ispitati uticaj promene vrednosti kapacitivnosti i dimezija, odnosno širina kanala NMOS i PMOS tranzistora na karakteristike kola (slika 5, slika 6 i slika 7). **Napomena:** u rezultatima parametarskih analiza posmatran je samo izlaz BL0 i promena širina kanala odgovarajućih tranzistora i kondenzatora. Isti uticaj je uočen i u ostalim izlazima (BL1, BL2 i BL3).



Slika 5: Rezultati simulacija: uticaj promene vrednosti odgovarajućeg kondenzatora na izlaz BLO 4x4 MOS NILI ROM memorije



Slika 6: Rezultati simulacija: uticaj promene širine kanala odgovarajućeg PMOS tranzistora na izlaz BLO 4x4 MOS NILI ROM memorije



Slika 7: Rezultati simulacija: uticaj promene širine kanala odgovarajućeg NMOS tranzistora na izlaz BL0 4x4 MOS NILI ROM memorije

Zaključak

Odnos širina tranzistora određuje donju ivicu izlaznog signala (NMOS treba da bude širi nego PMOS da bismo imali dobar nizak nivo signala). Potrebno je napraviti kompromis između dimenzija tranzistora (površine) i vremena opadanja i porasta signala i odabrati odgovarajuću vrednost kondenzatora na izlazu.