

SPISAK ISPITNIH PITANJA IZ PREDMETA PROJEKTOVANJE SLOŽENIH DIGITALNIH SISTEMA

PRVI DEO TEORIJE

Predavanje 1-2 - Combinatorial and Sequential Circuit Design

- 1 Murov zakon i jaz u produktivnosti (Design Productivity Gap)
- 2 Navesti i ukratko objasniti koje tehnologije se mogu koristiti za realizaciju digitalnih sistema
- 3 Poređenje tehnologija za realizaciju digitalnih sistema na osnovu potrebnih resursa za realizaciju digitalnog sistema.
- 4 Poređenje tehnologija za realizaciju digitalnih sistema na osnovu moguće brzine rada digitalnog sistema.
- 5 Poređenje tehnologija za realizaciju digitalnih sistema na osnovu disipacije snage.
- 6 Poređenje tehnologija za realizaciju digitalnih sistema na osnovu cene.
- 7 Navesti tri načina reprezentacije digitalnih sistema. Ukratko objasniti i navesti glavne karakteristike za svaki od njih.
- 8 Nivoi apstrakcije prilikom opisa digitalnih sistema.
- 9 Y dijagram.
- 10 Karakteristike svakog korišćenih nivoa apstrakcije.
- 11 Osnovni koraci prilikom projektovanja (Digital System Design Tasks). Navesti ih i ukratko objasniti svaki od njih.
- 12 Sinteza digitalnog sistema. Čemu služi i koji tipovi postoje.
- 13 Fizički dizajn. Čemu služi i koji su osnovni koraci.
- 14 Verifikacija digitalnog sistema i postojeće metode.
- 15 Testiranje projektovanog digitalnog sistema.
- 16 Objasniti i nactati tipičan tok razvoja digitalnog sistema.
- 17 Navesti i objasniti u kojim se koracima razvoja digitalnog sistema mogu koristiti HDL jezici.
- 18 Sinteza konkurentnih naredbi dodele vrednosti signalu. Objasniti i ilustrovati primerima.
- 19 Sinteza jednostavne naredbe dodele vrednosti signalu. Objasniti i ilustrovati primerom.
- 20 Sinteza naredbe uslovne dodele vrednosti signalu. Objasniti i ilustrovati primerom.
- 21 Sinteza naredbe selektovane dodele vrednosti signalu. Objasniti i ilustrovati primerom.
- 22 Sinteza sekvencijalne naredbe dodele vrednosti signalu. Objasniti i ilustrovati primerom.
- 23 Sinteza naredbe dodele vrednosti promenljivoj. Objasniti i ilustrovati primerom.
- 24 Sinteza IF naredbe. Objasniti i ilustrovati primerima.
- 25 Sinteza CASE naredbe. Objasniti i ilustrovati primerima.
- 26 Sinteza FOR LOOP naredbe.
- 27 Sinteza VHDL operatora.
- 28 Sinteza operatora sa konstantnim operandima.
- 29 Sinteza VHDL tipova podataka. Koji tipovi se preporučuju za korišćenje u cilju efikasnije sinteze?
- 30 Smernice za efikasno korišćenje kompajlera za sintezu hardvera.
- 31 Opisati i nacrtao osnovne vremenske parametre o kojima treba voditi računa prilikom rada sa sekvencijalnim sistemima.
- 32 Podela sekvencijalnih kola u zavisnosti od korišćenja globalnog sinhronizacionog signala.
- 33 Osnovni model sekvencijalnog kola. Nacrtao i objasniti funkciju pojedinih modula.
- 34 Objasniti od čega zavisi maksimalna učestanost rada sekvencijalnog sistema.
- 35 Vremenske karakteristike izlaznih signala sekvencijalnih sistema.
- 36 Vremenske karakteristike ulaznih signala sekvencijalnih sistema.
- 37 Najčešće greške prilikom rada sa sekvencijalnim kolima. Navesti ih i ukratko objasniti.

Predavanje 3 - Hierarchical and Parametrized Design

- 1 Hijerarhijski dizajn. Ukratko objasniti motivaciju i ilustrovati primerom.
- 2 Prednosti prilikom projektovanja digitalnih sistema pomoću hijerarhijskog dizajna.
- 3 Particionisanje dizajna. Objasniti i navesti osnovne vrste.
- 4 VHDL jezičke konstrukcije koje se mogu koristiti prilikom hijerarhijskog dizajna. Navesti ih i ukratko objasniti.
- 5 Particionisanje dizajna na sistemskom i IP nivou.
- 6 Particionisanje dizajna unutar IP nivoa i na RTL nivou.
- 7 Korišćenje komponenti u VHDL u procesu hijerarhijskog dizajna. Objasniti način korišćenja i navesti primer.
- 8 Generic naredbe u VHDL u kontekstu hijerarhijskog dizajna. Objasniti i navesti primere.
- 9 Korišćenje konfiguracija prilikom hijerarhijskog dizajna. Objasniti i ilustrovati primerom.

- 10 VHDL biblioteke. Objasniti kako se biblioteke mogu koristiti prilikom hijerarhijskog dizajna.
- 11 VHDL podprogrami. Navesti koje vrste postoje i koje su dobre i loše strane svake od njih.
- 12 Package naredbe u VHDL u kontekstu hijerarhijskog dizajna. Objasniti način korišćenja i ilustrovati primerom.
- 13 Parametrizovan dizajn. Navesti i objasniti postojeće vrste parametara.
- 14 Navesti načine na koje je moguće specificirati parametre u VHDL-u.
- 15 Korišćenje generic-a za specificiranje parametara. Navesti primer.
- 16 Korišćenje atributa nizova za specificiranje parametara. Navesti primer.
- 17 Korišćenje neograničenih nizova za specificiranje parametara. Navesti primer.
- 18 Generate naredbe u VHDL. Njihova svrha i postojeće vrste.
- 19 FOR GENERATE naredbe. Objasniti kada i kako se koristi. Ilustrovati primerom.
- 20 Uslovna GENERATE naredba. Objasniti kada i kako se koristi. Ilustrovati primerom.
- 21 Uporediti korišćenje uslovne GENERATE naredbe sa drugim opcijama za parametrizovanje dizajna.

Predavanje 4 - Datapath and Controlpath Synthesis

- 1 Objasniti funkciju i osnovnu strukturu datapath modula.
- 2 Objasniti funkciju i osnovnu strukturu controlpath modula.
- 3 Ukratko objasniti koncept konačnih automata. Navesti i objasniti osnovne delove od kojih se sastoji svaki konačni automat.
- 4 Reprezentacija konačnih automata pomoću dijagrama stanja. Ilustrovati primerom.
- 5 Reprezentacija konačnih automata pomoću ASM dijagrama. Ilustrovati primerom.
- 6 Konverzija dijagrama stanja u ASM dijagram. Navesti primere.
- 7 Navesti i objasniti najčešće greške koje se prave prilikom rada sa ASM dijagramima.
- 8 Vremenske karakteristike konačnih automata.
- 9 Milijevi i Murovi automati. Prednosti i mane jedne i druge klase.
- 10 Navesti i objasniti osnovne korake prilikom sinteze konačnih automata.
- 11 Problem dodele stanja unutar konačnog automata (State Assignment Problem)
- 12 Objasniti kako se rešava problem sa neiskorišćenim stanjima prilikom rada sa konačnim automatima.
- 13 Implementacija konačnih automata korišćenjem "Random Logic" pristupa.
VHDL opis automata koji su realizovani korišćenjem "Random Logic" pristupa. Navesti koji opisi se koriste i koje su njihove
- 14 prednosti i mane.
- 15 Mikroprogramiranje. Osnovna ideja.
- 16 Osnovna struktura mikroprogramiranog automata.
- 17 Struktura mikroprogramiranog automata sa spoljašnjim ulazima.
- 15 Vrste mikroprogramiranja.
- 16 Prednosti i mane mikroprogramiranja.

Predavanje 5 - RT Methodology

- 1 Objasniti ukratko RT metodologiju projektovanja složenih digitalnih sistema.
- 2 Objasniti koncept FSM-a.
- 3 Osnovne RT operacije. Notacija, način interpretacije, primeri.
- 4 Objasniti razliku između korišćenja promenljive u algoritmu za čuvanje rezultata i registra u digitalnom sistemu.
- 5 Realizacija RT operacija. Navesti primer.
- 6 Realizacija višestrukih RT operacija i Data Path. Navesti primer.
- 7 ASMD dijagram. Ukratko objasniti i navesti primer.
- 8 Osnovna struktura FSM sistema. Nacrtni blok dijagram i objasniti glavne module.
- 9 Navesti načine na koje je moguće modelovati FSM pomoću VHDL-a. Navesti prednosti i mane svakog od njih.
- 10 Vremenske karakteristike FSM sistema. "Best-case" i "Worst-case" scenario.
- 11 Dataflow grafovi. Definicija, kada se koriste. Navesti primer.
- 12 Navesti i ukratko objasniti korake koji se moraju izvesti prilikom transformacije dataflow grafa u ASMD.

DRUGI DEO TEORIJE

Predavanje 6 - Design Optimization - Code Transformations

- 1 "Bit-Level" optimizacije. Objasniti i ilustrovati primerima.

- 2 "Common Subexpression Elimination" i "Constant Folding and Constant Propagation" optimizacije. Objasniti i ilustrovati primerima.
- 3 "Operator Strength Reduction" optimizacija. Objasniti i ilustrovati primerima.
- 4 "Height Reduction" optimizacija. Objasniti i ilustrovati primerima.
- 5 "Code Motion" optimizacija. Objasniti i ilustrovati primerima.
- 6 Navesti najčešće korišćene "Loop Level" transformacije. Ukratko objasniti svaku od njih.
- 7 "Loop Unrolling" transformacija. Objasniti i ilustrovati primerima.
- 8 "Loop Tiling" i "Loop Strip-Mining" transformacije. Objasniti i ilustrovati primerima.
- 9 "Loop Merging" i "Loop Distribution" transformacije. Objasniti i ilustrovati primerima.
- 10 "Data Distribution" i "Data Replication" transformacije. Objasniti i ilustrovati primerima.
- 11 "Data Packing/Unpacking" i "Data Reuse and Scalar Replacement" transformacije. Objasniti i ilustrovati primerima.

Predavanje 7 - Design Optimization - Mapping and Execution Optimizations

- 1 "Speculative Execution" optimizacija. Objasniti i ilustrovati primerima.
- 2 "Predication and IF-Conversion" optimizacija. Objasniti i ilustrovati primerima.
- 3 "Operator Sharing" optimizacija. Objasniti i ilustrovati primerima.
- 4 "Functionality Sharing" optimizacija. Objasniti i ilustrovati primerima.
- 5 Protočna obrada. Objasniti i ilustrovati primerima.
- 6 Efikasnost uvođenja protočne obrade.
- 7 Navesti i objasniti korake koje je potrebno sprovesti prilikom uvođenja protočne obrade u sistem. Ilustrovati primerom.
- 8 Retiming tehnika. Objasniti i ilustrovati primerima.
- 9 Navesti i objasniti na kojim se sve nivoima može koristiti protočna obrada. Ilustrovati primerima.

Predavanje 8 - High Level Synthesis - Fundamental Topics

- 1 Definicija grafa. Usmereni i neusmereni grafovi. Ilustrovati primerima.
- 2 Najvažnije osobine usmerenih grafova. Ilustrirati primerima.
Navesti najvažnije grafovske probleme koji su od interesa za sintezu visokog nivoa. Ukatko ih objasniti i ilustrovati
- 3 primerima.
- 4 Apstraktni modeli hardvera (strukturni, kombinacione i sinhronne logičke mreže, dijarami stanja). Ilustrovati primerima.
- 5 Data-Flow grafovi. Ilustrovati primerima.
- 6 Control-Flow grafovi. Ilustrovati primerima.

Predavanje 9-10 - High Level Synthesis - Introduction, Scheduling, Resource Sharing and Binding

- Ukratko objasniti namenu sinteze visokog nivoa. Objasniti koncept pretrage prostora dizajna (Design Space Exploration).
- 1 Navesti i komentarisati šta je sve potrebno definisati pre započinjanja sinteze visokog nivoa.
 - 2 Navesti i ukratko objasniti dva fundamentalna problema koji se rešavaju prilikom sinteze visokog nivoa.
 - 3 Definisati problem vremenskog planiranja (Scheduling). Vrste vremenskog planiranja. Ilustrovati primerima.
 - 4 Definisati problem alokacije resursa (Resource Binding). Ilustrovati primerima.
 - 5 Ukratko objasniti kako se pomoću sinteze visokog nivoa sintetizuju Data-Path i Control-Path.
 - 6 ASAP i ALAP algoritmi za vremensko planiranje. Definicija, kada se koriste. Ilustrovati primerima.
 - 7 Egzaktni ILP algoritam za rešavanje MLSRC problema vremenskog planiranja pod ograničenjima.
 - 8 Egzaktni ILP algoritam za rešavanje MRSLC problema vremenskog planiranja pod ograničenjima.
Heuristički "List Scheduling" algoritam za rešavanje MLSRC problema vremenskog planiranja pod ograničenjima. Ilustrovati
 - 9 primerom.
Heuristički "List Scheduling" algoritam za rešavanje MRSLC problema vremenskog planiranja pod ograničenjima. Ilustrovati
 - 10 primerom.
 - 11 Alokacija resursa korišćenjem "Resource Compatibility" grafa. Ilustrovati primerima.
 - 12 Alokacija resursa korišćenjem "Resource Conflict" grafa. Ilustrovati primerima.
 - 13 Definisati "Register Sharing" problem i objasniti algoritme koji se koriste za njegovo rešavanje. Ilustrovati primerima.
 - 14 Definisati "Multi-Port Memory Binding" problem i objasniti algoritme koji se koriste za njegovo rešavanje. Ilustrovati

Predavanje 11 - Tcl Scripting

Predavanje 12 - Static Timing Analysis and Design Constraints

Predavanje 13-14 - Clock and Synchronization

- 1 Sinteza klok signala za ASIC i FPGA kola.
- 2 Clock skew. Kako on utiče na sinhroni dizajn.
- 3 Vremenska analiza u prisustvu clock skew-a. Uticaj na vreme uspostavljanja i maksimalnu učestanost rada.
- 4 Vremenska analiza u prisustvu clock skew-a. Uticaj na vreme držanja.
- 5 Sistemi sa više klok signala.
- 6 Sistemi sa izvedenim klok signalima. Problemi koji se u ovom slučaju javljaju.
- 7 GALS sistemi.
- 8 Metastabilnost i problem u sinhronizaciji. Objasniti.
- 9 MTBF parametar. Definirati i objasniti.
- 10 Karakteristike MTBF veličine.
- 11 Uloga kola za sinhronizaciju. Kakvi se problemi javljaju ako se on ne koristi.
- 12 Kolo za sinhronizaciju bazirano na korišćenju jednog flip-flopa. Nacrtati i objasniti princip rada. Koji su njegovi nedostaci?
- 13 Kolo za sinhronizaciju bazirano na korišćenju dva flip-flopa. Nacrtati i objasniti princip rada.
- 14 Kolo za sinhronizaciju bazirano na korišćenju tri flip-flopa. Nacrtati i objasniti princip rada.
- 15 Navesti i ukratko objasniti kojih se smernica treba pridržavati prilikom korišćenja kola za sinhronizaciju.
Šeme za detekciju ivice enable signala koji prelazi iz jednog klok domena u drugi klok domen. Objasniti rešenje u slučaju
- 16 širokog enable signala.
Šeme za detekciju ivice enable signala koji prelazi iz jednog klok domena u drugi klok domen. Objasniti rešenje u slučaju
- 17 uskog enable signala.
Šeme za detekciju ivice enable signala koji prelazi iz jednog klok domena u drugi klok domen. Objasniti rešenje koje se
- 18 bazira na alternaciji nivoa signala.
- 19 Prenos kontrolnih signala iz jednog klok domena u drugi klok domen. Četvorofazni hadshaking protokol.
- 20 Prenos kontrolnih signala iz jednog klok domena u drugi klok domen. Dvofazni hadshaking protokol.
Prenos podataka iz jednog clock domena u drugi klok domen. Četvorofazni hadshaking protokol u slučaju unidirekcionog
- 21 transfera.
Prenos podataka iz jednog clock domena u drugi klok domen. Četvorofazni hadshaking protokol u slučaju bidirekcionog
- 22 transfera.
- 23 Prenos podataka iz jednog clock domena u drugi klok domen. Dvofazni hadshaking protokol.
- 24 Prenos podataka iz jednog clock domena u drugi klok domen. Jednofazni hadshaking protokol.
- 25 Prenos podataka iz jednog clock domena u drugi klok domen pomoću asinhronog FIFO bafera.
- 26 Prenos podataka iz jednog clock domena u drugi klok domen pomoću deljene memorije.
- 27 Sinteza sistema sa više clock signala. Osnovne smernice, preporuke, o čemu treba voditi računa.