

---

# Diodna i CMOS logička kola

---

**D**o sada je bilo reči o operacijama koje ostvaruju logička kola, bez zalaženja u detalje njihove realizacije. Ovde će biti predstavljeni osnovni principi na kojima se zasniva funkcionisanje kakvih kola. Prvo će biti reči o diodnim kolima, kao najjednostavnijim za realizaciju. Nakon toga, biće prikazana struktura kola u CMOS tehnologiji, koja je u današnje vreme dominantno zastupljena u odnosu na ostale postojeće tehnologije, zashvaljujući brojnim faktorima među kojima se ističu jednostavnost (ekonomičnost) konstrukcije, velika brzina i pouzdanost, velika gustina pakovanja po jedinici površine i niska potrošnja energije.

## Poluprovodničke diode

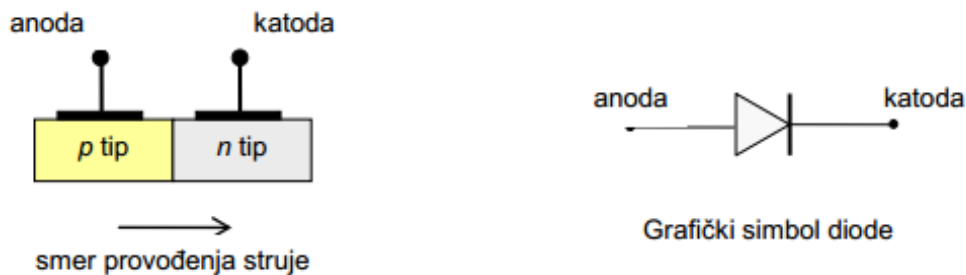
Čisti poluprovodnik kao to je silicijum, slabo provodi električnu struju. Ako se čistom poluprovodniku dodaju primese drugih elemenata, onda u zavisnosti od vrste primese u poluprovodniku može da se pojavi višak ili manjak slobodnih elektrona. Ukoliko je dodata takva primesa koja u kristalnu strukturu unosi višak elektrona, dobija se poluprovodnik *N tipa*<sup>1</sup>. Sa druge strane, ukoliko postoji manjak elektrona, radi se o poluprovodniku *P tipa*. Poluprovodnička elektronska kola proizvode se tako što se na površini poluprovodnika geometrijski kombinuju oblasti P i N tipa. Površina poluprovodnika na kojoj se dodiruju delovi p i n tipa naziva se PN spoj. PN spoj ima poželjnu osobinu da električnu struju provodi samo u jednom smeru, od oblasti P tipa<sup>2</sup> prema oblasti N tipa. Na površinu poluprovodnika naparavaju se tanki metalni slojevi koji služe kao kontakti preko kojih se komponenta priključuje u elektronsko kolo. Na slici 1 prikazan je poluprovodnik na kome su naparene primese i formirane oblasti poluprovodnika P i N tipa koje se međusobno dodiruju i formiraju PN spoj. Na oblasti P i N tipa napareni su metalni slojevi na koje su pričvršćeni spoljni kontakti. Ovakva poluprovodnička struktura naziva se *dioda*.

Dakle, kada je dioda u pitanju, smer u kojem je moguće provođenje struje je od oblasti P tipa ka oblasti N tipa. Elektroda koja je u kontaktu sa oblašću P tipa naziva se *anoda*, a ona koja je u kontaktu sa oblašću N tipa *katoda*. Na slici 1 sa leve strane prikazan je poprečni presek diode sa obeleženim elektrodama, a sa desne strane grafički simbol diode, koji se koristi pri crtanju električnih šema. Simbol asocira na strelicu, koja označava smer proticanja struje.

---

<sup>1</sup>Ovaj naziv potiče od toga što su elektroni nosioci negativnog naelektrisanja.

<sup>2</sup>U teoriji, nedostatak elektrona se poistovećuje sa fiktivnim nosiocima pozitivnog naelektrisanja koji se nazivaju šupljine.

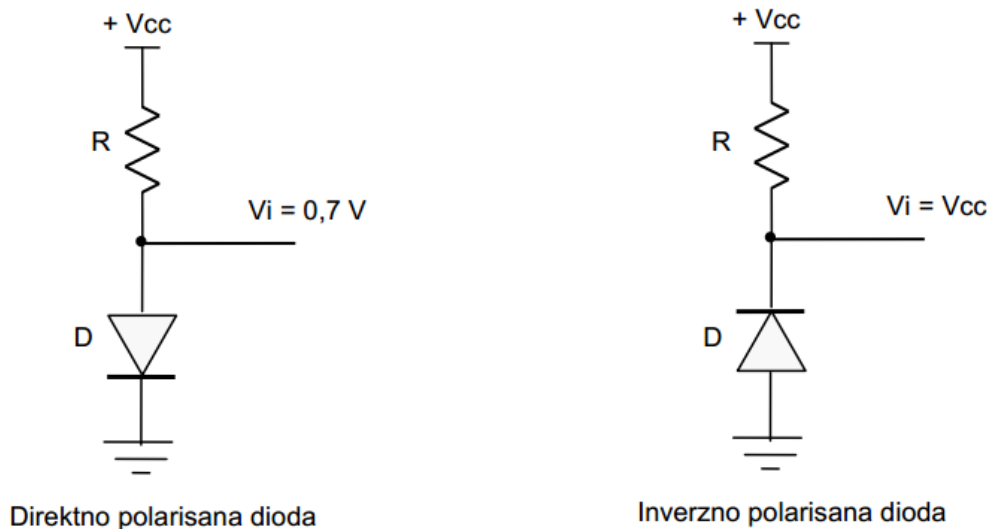


Slika 1: Poprečni presek i grafički simbol poluprovodničke diode

Poluprovodnička dioda je nelinearni elemenat čije osobine zavise od polariteta i veličine priključenog napona. Ukoliko je na između anode i katode priključen pozitivan napon, kaže se da je dioda direktno polarizovana, a ako je na taj napon negativan, dioda je inverzno polarisana.

Ovde će biti korišćen pojednostavljeni model ponašanja diode, odnosno smatraće se da inverzno polarisana dioda ne provodi struju, a direktno polarisana dioda ima nultu unutrašnju otpornost i pad napona približno 0.7 V. Za potrebe uprošćene analize u digitalnim logičkim kolima, često se pad napona na direktno polarisanoj diodi zanemaruje (uzima se da je 0V). Na slici 2 levo, prikazano je jednostavno kolo u kome je dioda direktno polarisana, pa je napon na diodi jednak  $V_i = 0.7V$ . Struja  $I_R$  koja teče kroz otpornik može se izraziti kao:

$$I_R = \frac{V_{cc} - 0.7V}{R}$$

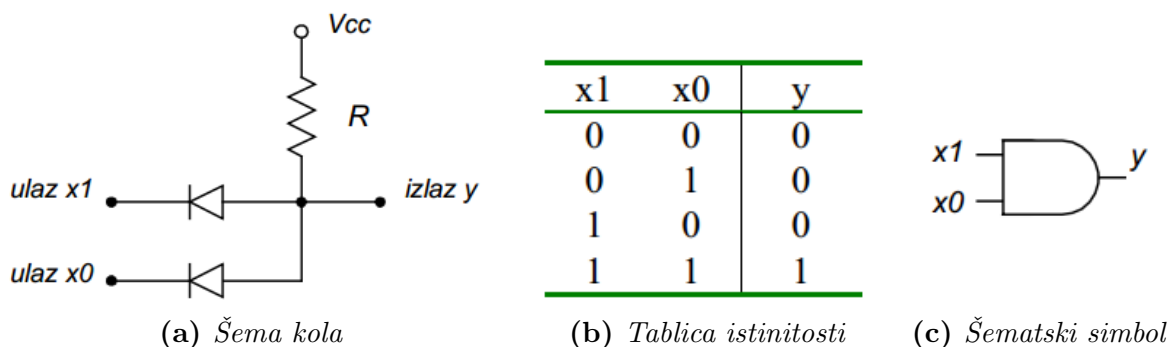


Slika 2: Polarizacija diode

Na slici 2 desno prikazana je inverzno polarisana dioda. Pošto inverzno polarisana dioda ne provodi struju, struja  $I_R$  kroz otpornik  $R$  jednaka je 0, pa je pad napona na otporniku takođe jednak 0, što znači da je izlazni napon  $V_i$  jednak naponu napajanja  $V_{cc}$ . Drugim rečima u ovom kolu dioda je inverzno polarisana, pa je na izlazu visok napon, odnosno logička 1.

## Diodna logička kola

Logičke operacije I i ILI mogu se na jednostavan način realizovati primenom dioda i otpornika. U ovom odeljku ukratko će biti opisan princip rada diodnih logičkih kola sa dva ulaza. Slika 3a prikazuje električnu šemu diodnog I kola sa dva ulaza, ( $x_1$  i  $x_0$ ) i jednim izlazom ( $y$ ). Jednostavnom analizom pokazuje se da ako je bar jedan od ulaza na niskom nivou (logičkoj nuli), odgovarajuća dioda će biti provodna i "spustiti" stanje na izlazu na nivo koji je jednak naponu provodne diode, što se interpretira kao nizak logički nivo. Sa druge strane, ako su oba ulaza  $x_1$  i  $x_0$  na visokom nivou, obe diode će biti neprovodne, pa kroz otpornik ne teče struja i na izlazu će biti visok<sup>3</sup> nivo signala ( $V_{cc}$ ), što odgovara logičkoj jedinici. Na ovaj način ostvarena je logika I kola, što je prikazano tablicom istinitosti (slika 3b). Grafički simbol ovog kola koji se koristi pri crtanju logičkih šema prikazan je na slici 3c.



Slika 3: Dvoulazno diodno I kolo

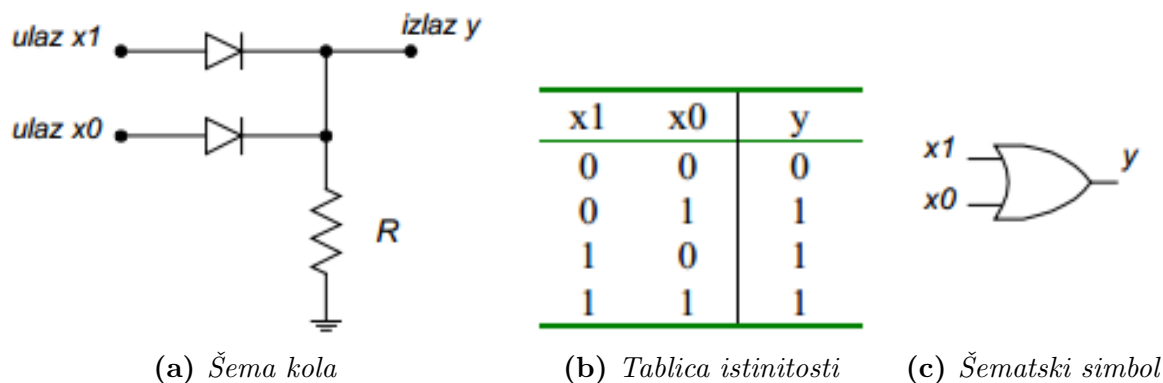
Na sličan način moguće je realizovati diodno logičko ILI kolo, (slika 4), koje se od prethodnog razlikuje po tome što su diode suprotno orjentisane i što je izlaz preko otpornika R vezan na masu. Visok naponski nivo (logička 1) na bilo kom ulazu direktno polariše diodu vezanu na taj ulaz, pa je na izlazu  $y$  takođe visok nivo (logička 1), pod uslovom da se zanemari pad napona na diodi. Na izlazu se dobija nizak nivo (logička 0) samo ako su oba ulaza na niskom naponu. U tom slučaju obe diode su neprovodne, nema struje niti pada napona na otporniku R, te je napon na izlazu na potencijalu mase<sup>4</sup> (nizak napon ili logička 0). Tablica istinitosti ILI kola prikazana je na slici 4b. U njoj su navedene kombinacije logičkih nivoa ulaza  $x_1$  i  $x_0$  i izlaza  $y$ . Na slici 4c, prikazan je grafički simbol kojim se predstavlja ILI kola sa dva ulaza.

Diodna logička kola ne poseduju elemente koji imaju negativno pojačanje i zato ne mogu da realizuju logičku negaciju. Pošto logička I i ILI kola ne ine bazis, korišćenjem isključivo ovih kola ne može da se realizuje proizvoljna Bulova funkcija. Takođe, kod ovakvih kola dolazi do degradacije logičkih nivoa usled pada napona na provodnoj diodi, što može dovesti do problema pri njihovom rednom vezivanju.

Hronološki gledano, prva poluprovodnička logička kola bila upravo diodna kola. Kasnije, njihovim kombinovanjem sa tranzistorskim invertorom realizovanim pomoću bipolarnog tranzistora u spoju sa zajedničkim emiterom, dobijena su tzv. Diodno-Tranzistorska Logička kola

<sup>3</sup>Pošto se u situaciji kada kroz otpornik ne teče struja na izlazu pojavljuje visok naponski nivo, ovaj otpornik se naziva *pull-up*, jer "odvlači" stanje na izlazu na  $V_{cc}$ .

<sup>4</sup>Zato se u ovoj konfiguraciji otpornik naziva *pull-down*.

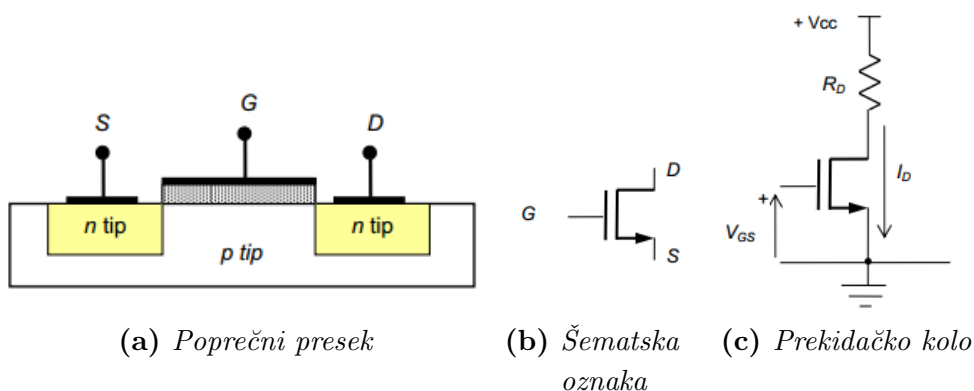


Slika 4: Dvoulazno diodno ILL kolo

(DTL). Ovakva kola su bila spora i neefikasna, ali je princip njihove realizacije kasnije poslužio kao osnova za implementaciju prve komercijalno uspješne generacije brzih integrisanih logičkih kola, tzv. Tranzistorsko-Tranzistorska Logika (TTL). Ipak, savremeni trendovi su takvi da se TTL kola u današnje vreme smatraju prevaziđenim i uglavnom su potisnuta su od strane CMOS tehnologije o kojoj će biti reči u nastavku.

## MOSFET

MOSFET (engl. Metal-Oxide-Semiconductor Field Effect Transistor) sa indukovanim kanalom je poluprovodnički element sa izuzetno dobrim osobinama u prekidačkom režimu rada. MOSFET sa indukovanim kanalom sastoji se od dva dela poluprovodnika istog tipa između kojih uticajem spolja dovedenog električnog polja može da se formira veza (kanal) sačinjen od nosilaca naelektrisanja istog tipa. Po načinu konstrukcije, postoje tranzistori sa indukovanim kanalom P tipa (P-kanalni MOSFET) i tranzistori sa indukovanim kanalom N tipa (N-kanalni MOSFET). Poprečni presek N-kanalnog MOSFETA sa indukovanim kanalom prikazan je na slici 5a, a šematski simbol na slici 5b.



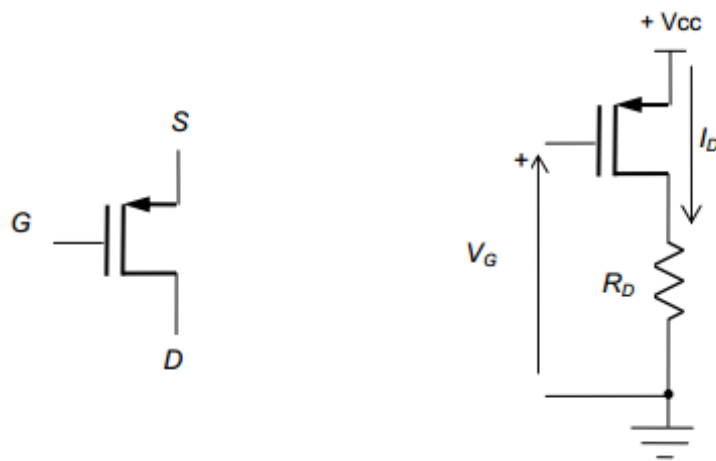
Slika 5: N-kanalni MOSFET sa indukovanim kanalom

MOSFET sa indukovanim kanalom N-tipa (skraćeno NMOS) formira se unošenjem primese koja stvara dva odvojena dela poluprovodnika N tipa na poluprovodniku P tipa. Na površine delova N tipa nanose se tanki slojevi metala koji predstavljaju elektrode sorsa S (engl. source) i drejna D (engl. drain). Na površini poluprovodnika između sorsa i drejna nanosi se prvo tanak sloj oksida silicijuma, koji predstavlja izolator, a zatim se na ovako formiran izolator nanosi sloj metala koji predstavlja elektrodu gejta G (engl. gate).

NMOS uključuje se se dovođenjem pozitivnog napona  $V_{GS}$  između gejta i sorsa i pozitivnog napona  $V_{DS}$  između drejna i sorsa. Na slici 5c prikazana je električna šema NMOS tranzistora u prekidačkoj konfiguraciji kola sa zajedničkim sorsom, gde je drejn preko otpornika  $R_D$  vezan na napon napajanja.

Sve dok je ulazni napon  $V_{GS}$  nizak, struja  $I_D$  približno je jednaka nuli stoga što je PN spoj između drejna i poluprovodnika P tipa inverzno polarisan. Međutim, kada se napon  $V_{GS}$  dovoljno poveća, električno polje ispod gejta privuče elektrone iz poluprovodnika P tipa<sup>5</sup> koji indukuju kanal N tipa između drejna i sorsa. Indukovani kanal omogućava protok struje  $I_D$  između drejna i sorsa. Ako je napon  $V_{GS}$  dovoljno velik, kanal ima veoma malu otpornost, struja  $I_D$  dostiže maksimalnu vrednost i MOSFET ulazi u tzv. omsku oblast u kojoj je napon  $V_{DS}$  veoma mali. Ako se za ulaz uzme napon na gejtu  $V_{GS}$ , a za izlaz napon na drejnu  $V_{DS}$ , tada se kolo prikazano na slici 5c može koristiti kao logički invertor: niski ulazni napon (logička 0) na izlazu daje visoki napon (logička 1) i obratno.

Na sličan način može da se konstruiše i logički invertor sa PMOS tranzistorom. PMOS ima istu konstrukciju kao i NMOS, samo što poluprovodnici N i P tipa zamenjuju svoje uloge. Grafička oznaka PMOS tranzistora prikazana je na slici 6 levo. Polarizacija PMOS se vrši naponima na gejtu i drejnu koji su negativni u odnosu na sors. Na slici 6 desno, prikazana je električna šema PMOS u kolu sa zajedničkim sorsom, koji je vezan na napon napajanja, a drejn polarisan preko otpornika  $R_D$  vezanog na masu.



Slika 6: PMOS: Šematska oznaka i invertorsko kolo

Umesto da se napon gejta posmatra u odnosu na sors, obično se kao ulazni napon uzima napon  $V_G$  tj. napon gejta u odnosu na masu. Dok je ulazni napon  $V_G$  visok ( $V_{GS}$  je mali po apsolutnoj vrednosti), struja  $I_D$  ne teče, pa je napon drejna  $V_D$  približno jednak 0. Nizak ulazni napon  $V_G$

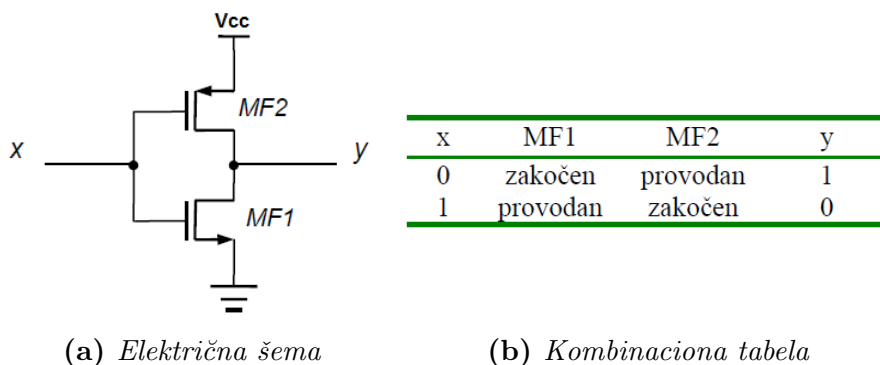
<sup>5</sup>Iako je poluprovodnik P tipa, u njemu postoje elektroni kao manjinski nosioci naelektrisanja.

(dovoljno negativan u odnosu na sorsa), indukuje između sorsa i drejna kanal P tipa, struja  $I_D$  povećava se do maksimalne vrednosti i tada je napon drejna  $V_D$  približno jednak naponu napajanja  $V_{CC}$ .

Prema tome, NMOS i PMOS u spoju sa zajedničkim sorsom imaju invertorsko svojstvo: kada je napon na gejtju nizak, napon na drejnu je visok i obratno, kada je na gejtju visok napon, na drejnu se dobija nizak napon.

## CMOS invertor

U prethodnom odeljku pokazane su konstrukcije invertora sa NMOS i PMOS tranzistorima u spoju sa zajedničkim sorsom. Kombinovanjem ove dve konstrukcije, dobija se invertor u kojem se umesto otpornika koristi komplementarni tip tranzistora. Ovakvo kolo naziva se CMOS (Complementary MOS) invertor. Na slici 7a prikazan je CMOS invertor koji se sastoji od NMOS (tranzistor MF1) i PMOS (tranzistor MF2). Analiza ovog kola je jednostavna: kada je ulaz  $x$  na logičkoj 0 (nizak napon) MF1 je zakočen, a MF2 provodan, pa je na izlazu  $y$  preko MF2 visok napon, odnosno logička 1. Obratno, logička 1 (visoki napon) na ulazu  $x$ , dovodi MF1 u provodno, a MF2 u zakočeno stanje, pa se na izlazu preko provodnog MF1 pojavljuje nizak napon, odnosno logička 0. Ponašanje kola analizirano je u tabeli na slici 7b.



(a) Električna šema

(b) Kombinatorna tabela

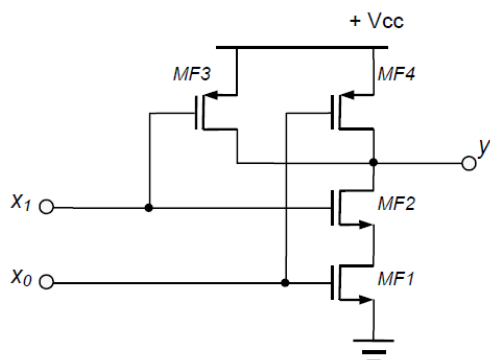
Slika 7: CMOS invertor

Jedna od prednosti CMOS konfiguracije logičkog invertora ogleda se u tome što je jedan od dva tranzistora zakočen za bilo koju logičku vrednost ulaznog signala, što znači da je struja od napona napajanja, kroz MF2 i MF1 do mase praktično jednaka 0. Pored toga, ulazna struja gejtta takođe je praktično jednaka 0, jer između gejtova oba tranzistora i podloge postoji sloj oksida koji je izolator i ne dozvoljava proticanje struje u ustaljenom stanju. Zbog svega ovoga, CMOS kola se odlikuju izrazito niskom statičkom potrošnjom energije.

## CMOS NI i NILI kola

Struktura dvoulaznog CMOS NI kola prikazana je na slici 8a. CMOS NI kolo sastoji se od para NMOS tranzistora (MF1 i MF2) koji su vezani na red između izlaza i mase i para PMOS tranzistora (MF3 i MF4) koji su vezani paralelno između izlaza i napona napajanja  $V_{CC}$ . Kao što je već objašnjeno, nizak napon na gejtju drži NMOS tranzistore zakočenim, a PMOS provodnim. Visok

nivo napona na gejtu ima suprotan efekat, tj. uključuje NMOS, a PMOS drži zakočenim. Prema tome, logička nula na ulazu  $x_1$ , ili na  $x_0$ , ili na oba ulaza, drži bar jedan od tranzistora MF1 i MF2 zakočenim, a bar jedan od tranzistora MF3 i MF4 provodnim. U tom slučaju na izlazu se dobija visok napon, odnosno logička 1. Ako su oba ulaza na visokom nivou, onda su MF3 i MF4 zakočeni, a MF1 i MF2 provodni, pa je na izlazu nizak napon, odnosno logička 0. Tabela na slici 8b opisuje stanja tranzistora i izlaza za različite kombinacije stanja na ulazima  $x_1$  i  $x_0$ .



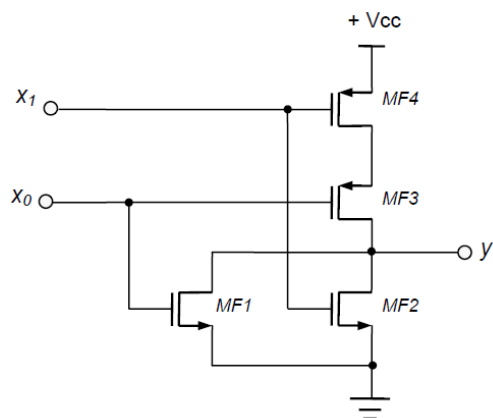
(a) Električna šema

$x_1$	$x_0$	MF1	MF2	MF3	MF4	y
0	0	zakočen	zakočen	provodan	provodan	1
0	1	provodan	zakočen	provodan	zakočen	1
1	0	zakočen	provodan	zakočen	provodan	1
1	1	provodan	provodan	zakočen	zakočen	0

(b) Kombinaciona tabela

Slika 8: Dvoulazno CMOS NI kolo

Struktura CMOS logičkog NILI kola sa dva ulaza prikazana je na slici 9a. CMOS NILI kolo sastoji se od dva paralelno vezana NMOS (MF1 i MF2) između izlaza i mase i dva PMOS tranzistora (MF3 i MF4) koji su vezani na red, između izlaza i napajanja. Logička 1 na ulazu  $x_1$ , ili na  $x_0$ , ili na oba ulaza, drži bar jedan (ili oba) tranzistora MF1 i MF2 u provodnom stanju, a bar jedan od tranzistora MF3 i MF4 u zakočenom stanju. Na izlazu  $y$  dobija se nizak napon, odnosno logička 0. Ako su oba ulaza na logičkoj 0, onda su MF3 i MF4 provodni, a MF1 i MF2 zakočeni, pa je na izlazu visok napon, odnosno logička 1. Tabela na slici 9b ukratko opisuje analizu rada CMOS NILI kola sa 2 ulaza.



(a) Električna šema

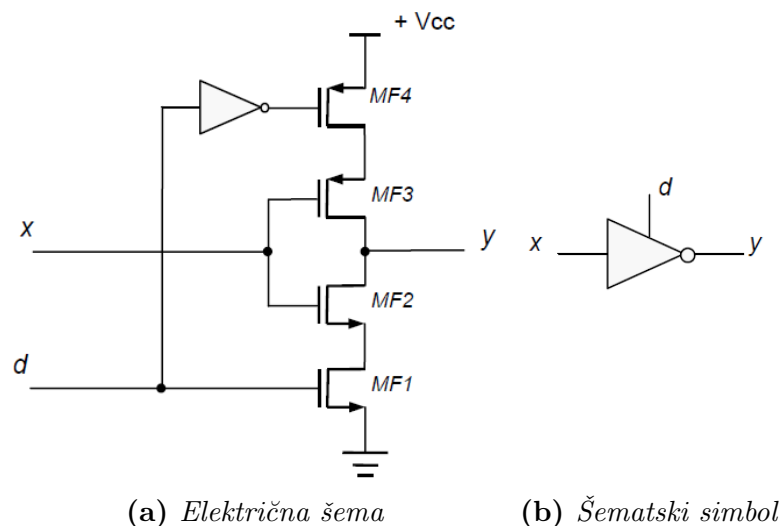
$x_1$	$x_0$	MF1	MF2	MF3	MF4	y
0	0	zakočen	zakočen	provodan	provodan	1
0	1	provodan	zakočen	zakočen	provodan	0
1	0	zakočen	provodan	provodan	zakočen	0
1	1	provodan	provodan	zakočen	zakočen	0

(b) Kombinaciona tabela

Slika 9: Dvoulazno CMOS NILI kolo

## CMOS kola sa trostatičkim izlazima

U složenijim digitalnim mrežama, čest je slučaj da se izlazi više različitih kola spajaju na isti vod (magistralu). Tada je neophodno obezbediti da u svakom trenutku tačno jedno kolo određuje logičko stanje na magistrali<sup>6</sup>, dok je ostalim kolima izlaz "isključen". To se postiže korišćenjem CMOS kola posebne konstrukcije, koja na izlazu daju logiku 0, logiku 1 ili visoku impendansu. Za ovakva kola se kaže da imaju trostatičke izlaze. Na slici 10a prikazana je struktura, a na slici 10b grafička oznaka CMOS invertora sa trostatičkim izlazom.



(a) Električna šema

(b) Šematski simbol

$d$	$x$	MF1	MF2	MF3	MF4	$y$
0	--	zakočen	--	--	zakočen	visoka impendansa
1	0	provodan	zakočen	provodan	provodan	1
1	1	provodan	provodan	zakočen	provodan	0

(c) Kombinaциона tabela

Slika 10: Trostatički CMOS invertor

U strukturi kola prepoznaje se osnovna električna šema standardnog CMOS invertora koji čine MOSFETovi MF2 i MF3. U kolu sorsa oba MOSFETa stavljeni su na red još po jedan tranzistor (MF1) prema masi i jedan (MF4) prema napajanju. Kada je ulazni signal dozvole  $d$  na logičkoj 1, MF1 je provodan i praktično predstavlja kratak spoj. Preko invertora (koji se realizuje kao standardni CMOS invertor), signal dozvole  $d$  se invertuje u logičku 0, koja drži MF4 takođe u prvodnom stanju, pa i ovaj tranzistor praktično predstavlja kratak spoj. Prema tome, u slučaju kada je  $d$  na logikoj 1, dobija se ekvivalentno kolo koje je identično standardnom CMOS invertoru, koji na izlazu  $y$  daje invertovani ulazni signal  $x$ .

U slučaju da je ulazni signal dozvole  $d$  na logičkoj 0, i MF1 i MF4 su neprovodni, pa bez obzira na to u kom su stanju MF2 i MF3, ne može da teče struja od napona napanja prema izlazu  $y$ , niti

<sup>6</sup>Situacija kada dva kola kojima su spojeni izlazi pokušavaju da isforsiraju različita logička stanja naziva se *konflikt na magistrali*. Pošto tada postoji putanja niske otpornosti između napajanja i mase (preko uključenog PMOS tranzistora u jednom kolu i uključenog NMOS u drugom), poteći će velika struja koja može dovesti do fizičkog oštećenja, odnosno destrukcije oba kola.



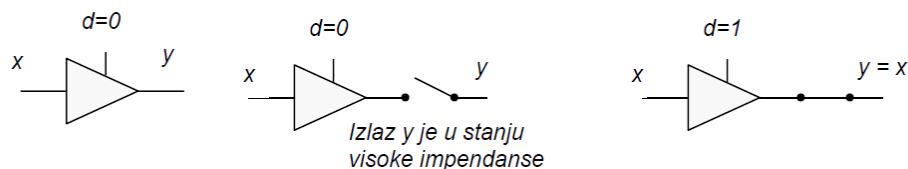
od izlaza  $y$  prema masi. U ovom slučaju kolo se ponaša kao da je izlaz  $y$  galvanski odvojen od napona napajanja i mase i kaže se da predstavlja *visoku impedansu*. Tabela na slici 10c opisuje stanja MOSFET tranzistora i izlaz invertora sa trostatičkim izlazima u zavisnosti od logičkog stanja signala dozvole  $d$ . Oznaka '–' označava slučajeve kada logičko stanje ulaza  $x$ , odnosno stanja tranzistora MF2 i MF3 nisu bitna.

CMOS invertor sa trostatičkim izlazom može se posmatrati kao obični invertor kod koga je na prekidač koji vrši galvansko odvajanje, kao što pokazuje slika 11. Ako je signal dozvole na logičkoj 0, izlazni prekidač je otvoren i izlaz  $y$  ponaša se kao priključak sa visokom impedansom. U ovom slučaju stanje signala  $y$  zavisi od drugih signala koji su priključeni na liniju za prenos signala  $y$ . Ako je signal dozvole  $d$  na logičkoj 1 (slika 11 desno), prekidač je zatvoren i na izlazu  $y$  se pojavljuje logička negacija ulaznog signala  $x$ .



**Slika 11:** Ekvivalentna reprezentacija trostatičkog invertora pomoću prekidača

Trostatički izlazi mogu se implementirati u kombinaciji sa svim CMOS logičkim kolima. Posebno je od interesa trostatički bafer, CMOS kolo koje na izlazu  $y$  daje stanje identično onom na ulazu  $x$ , ako je signal dozvole  $d$  na logičkoj 1, a visoku impedansu ako je signal dozvole  $d$  na logičkoj 0. Slika 12 prikazuje šematsku oznaku trostatičkog bafera (levo), ekvivalentno kolo kada je signal dozvole  $d$  logičke 0 (u sredini) i logičke 1 (desno).



**Slika 12:** Trostatički bafer