

---

# Bistabilna kola, registri i memorije

---

Sva do sada opisana kola su realizovana u kombinacionoj logici. Osnovna karakteristika kombinacionih mreža je da stanja na izlazima zavise isključivo od trenutnih stanja na ulazima. Ovde će biti prikazani osnovni pojmovi vezani za drugu značajnu klasu digitalnih mreža. To su tzv. sekvencijalne mreže, kod kojih stanja na izlazima zavise kako od trenutnih stanja na ulazima, tako i od "istorije" prethodnih stanja. Drugim rečima, sekvencijalna logika se odlikuje sposobnošću memorisanja, odnosno pamćenja stanja. Proučavanje sekvencijalnih mreža biće započeto opisom osnovnih memorijskih elemenata koji se u njima koriste.

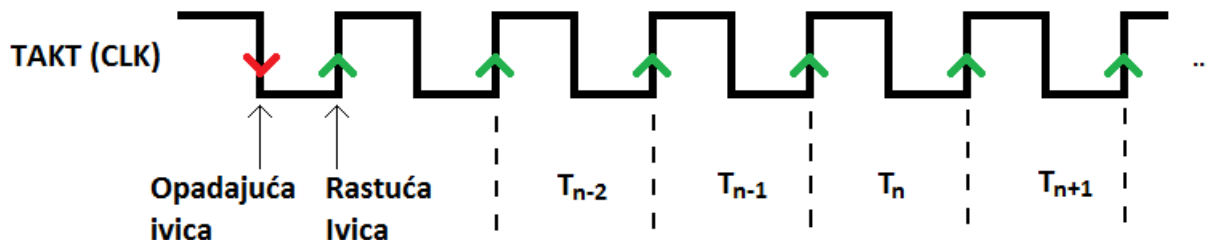
## Bistabilna kola

Mehanizam koji omogućava pamćenje stanja u sekvencijalnim mrežama je povratna sprega, koja predstavlja povratni put signala od izlaza ka ulazima. Ovo je ujedno i kriterijum za razlikovanje kombinacione od sekvencijalne logike: graf koji predstavlja kombinacionu mrežu je obavezno acikličan, što znači da u okviru mreže ne postoje zatvoreni ciklusi (putanje signala koje se posle prolaska kroz izvestan broj čvorova grafa, tj. logičkih kola vraćaju u istu tačku). Korišćenjem povratnih sprega, moguće je realizovati osnovne memorijske elemente koji u sebi čuvaju 1 bit digitalne informacije. Njihovim međusobnim spajanjem i kombinovanjem, realizuju se složenije sekvencijalne mreže i digitalni sistemi. Ovi osnovni elementi se nazivaju bistabilnim kolima. Njihov naziv upućuje na to da se ovakvi elementi uobičajeno nalaze u jednom od dva stabilna stanja (logička nula ili jedinica), a promene između stanja se mogu vršiti isključivo dejstvom pobudnih signala na njihovim ulazima. Postoje dva osnovna tipa bistabilnih kola:

- Lečevi (eng. Latch) – transparentna kola, kod kojih je moguće menjati stanje u proizvoljnom vremenskom trenutku.
- Flipflopovi – sinhrona kola, kod kojih je moguće menjati stanje samo u trenucima kada to dozvoljava stanje na tzv. taktinom ulazu; upis se vrši na odgovarajuću promenu nivoa takt signala.

Kao što je već napomenuto, u digitalnim sistemima je uobičajeno korišćenje taktnog signala (eng. Clock). Ovaj signal predstavlja povorku pravougaonih impulsa, odnosno vrednosti 0 i 1, koje se međusobno smenjuju određenom frekvencijom. Uloga takta je sinhronizacija promena stanja

flipflopova. Kod ivičnih flipflopova, promena stanja se vrši u trenutku odgovarajuće promene na taktnom ulazu, što se naziva aktivnom ivicom takta. Dakle, ivični flipflopovi menjaju stanje na rastuću (uzlaznu) ivicu, odnosno promenu takta sa 0 na 1, ili na opadajuću (silaznu) ivicu, odnosno promenu takta sa 1 na 0.



Slika 1: Takt signal

Pri analizi rada sekvencijalnih mreža, smatra se da takt diskretizuje vremensku osu. Stanja mreže se posmatraju tokom pojedinačnih perioda takta koje se obeležavaju celim brojevima ( $T_0, T_1, \dots, T_n$ ). Početak svake periode određen je trenutkom pojave aktivne ivice takta. Stoga, uobičajeno je da se stanje izlaza memorijskog elementa  $Q$  tokom trenutno aktuelne periode takta obeležava sa  $Q_n$ , stanje tokom prethodne periode je  $Q_{n-1}$ , a naredno stanje  $Q_{n+1}$ , itd. Na slici 1 prikazan je taktni signal, sa obeleženim karakterističnim vremenskim trenucima.

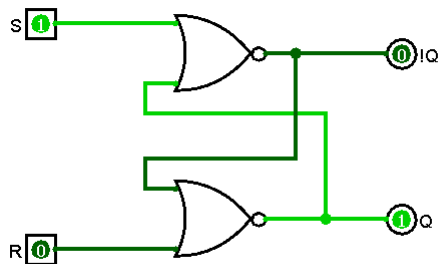
## SR-Leč

Osnovno i po strukturi najjednostavnije bistabilno kolo naziva se SR-leč. Sastavljeno je od 2 dvoulazna NILI kola sa ukrštenom povratnom spregom, kao što je prikazano na slici 2. Izlazi kola su obeleženi sa  $Q$  i  $\bar{Q}$ , što sugeriše da se očekuje da njihova stanja uvek budu komplementarna.

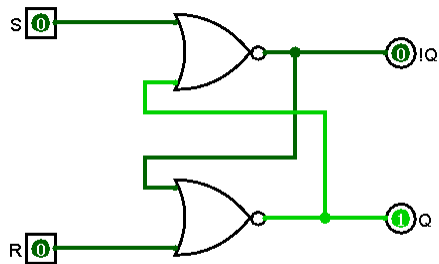
Opis ponašanja ovog bistabilnog kola kreće od situacije prikazane na slici 2a. Dovođenjem jedinice na  $S$  ulaz i nule na  $R$  ulaz, izlaz  $Q$  se postavlja na logičku jedinicu, uz istovremeno postavljanje  $\bar{Q}$  na nulu. U ovom slučaju smatra se da je izvršeno postavljanje celog kola u stanje logičke jedinice (engl. Set). Ukoliko se nakon toga ulaz  $S$  postavi na logičku nulu, stanje kola će ostati nepromenjeno zahvaljujući dejstvu povratne sprege, kao što je prikazano na slici 2b. Slika 2c prikazuje postavljanje kola na logičku nulu (engl. Reset). Nakon toga, promena stanja  $R$  ulaza na nulu neće dovesti do promene na izlazima, ponovo usled delovanja povratne sprege (slika 2d). Ako se uporede slučajevi prikazani na slikama 2b i 2d, može se uočiti situacija koja je suštinski različita od one koja je karakteristična za kombinacionu logiku: iako su stanja na ulazima identična, stanja na izlazima se razlikuju u zavisnosti od toga u kom stanju se kolo prethodno nalazilo. Drugim rečima, kada su ulazni signali u stanju  $S = R = 0$ , kolo memoriše prethodno stanje.

Da bi analiza ponašanja SR-leča bila kompletirana, potrebno je razmotriti još i poslednji slučaj, kada je  $S = R = 1$ . Prvi problem koji se javlja u ovom slučaju je to što izlazi  $Q$  i  $\bar{Q}$  više nisu komplementarni, pošto se na oba izlaza uspostavlja stanje logičke nule. Uz to, ako se odmah nakon toga oba ulaza promene na nulu, stanje na izlazima postaje nestabilno, nakon čega se uspostava jedno od dva stabilna stanja. Pri tome nije unapred poznato koje od stabilnih stanja će biti uspostavljeno. Zbog ovih neželjenih efekata, stanje na ulazima kada je  $S = R = 1$  je zabranjeno,

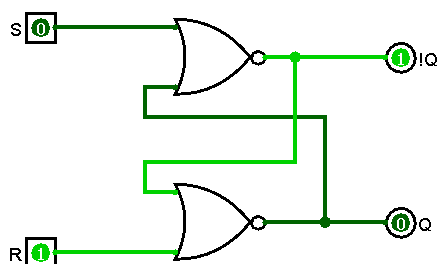
što znači da je pri projektovanju logike koja daje pobudu SR-leću potrebno voditi računa o tome da se ova kombinacija nikad ne pojavi na njegovim ulazima.



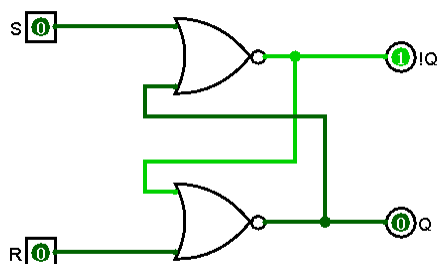
(a) Postavljanje stanja na jedinicu (set)



(b) Memorisanje logičke jedinice



(c) Postavljanje stanja na nulu (reset)



(d) Memorisanje logičke nule

Slika 2: SR-leč

Ponašanje SR-leča, kao i drugih bistabilnih kola se uobičajeno opisuje pomoću dve tabele. Prva je funkcionalna, odnosno kombinaciona tabela, u kojoj je naredno stanje kola određeno u odnosu na trenutno stanje i stanja na ulazima. Na osnovu funkcionalne tabele izvodi se eksitaciona tabela, koja se naziva još i inverznom tabelom, odnosno tabelom pobude. Ova tabela za svaki mogući prelaz bistabilnog kola između 2 stanja (ovih prelaza ima ukupno 4), daje odgovor na pitanje kakvu pobudu je potrebno dovesti na ulaze kola, da bi željeni prelaz bio ostvaren. Funkcionalna tabela SR-leča je prikazana na slici 3a, a eksitaciona na slici 3b.

S	R	$Q_{n+1}$
0	0	$Q_n$
0	1	0
1	0	1
1	1	X

(a) Funkcionalna tabela

(pamćenje)  
(reset)  
(set)  
(zabranjeno)



$Q_n$	$Q_{n+1}$	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

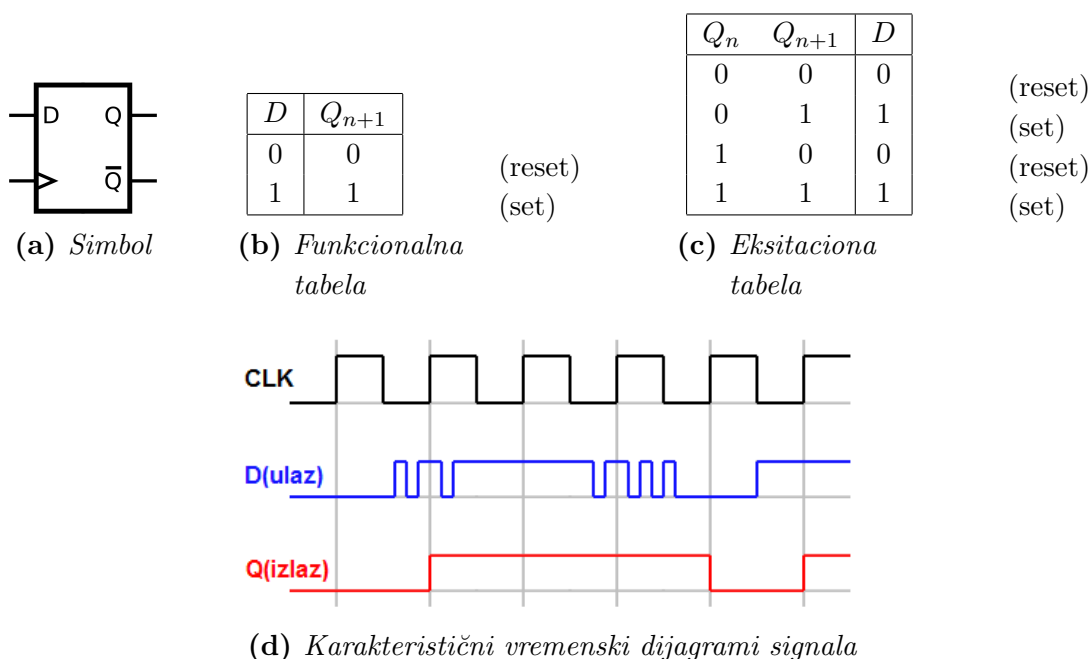
(b) Eksitaciona tabela

(pamćenje ili reset)  
(set)  
(reset)  
(pamćenje ili set)

Slika 3: Funkcionalna i eksitaciona tabela SR-leča

## D-flipflop

Flipflopovi su bistabilna kola koja imaju mogućnost promene stanja isključivo u trenucima pojave aktivne ivice takta (što se još naziva i okidanjem), u skladu sa stanjima na ulazima kola. Ova osobina ih čini sinhronim bistabilnim kolima. Po logici rada, najjednostavniji je D-flipflop: kod njega pored ulaza za takt postoji još jedan ulaz ( $D$ ). Vrednost koja je postavljena na  $D$  ulaz se u trenutku okidanja upisuje u flipflop i određuje njegovo stanje tokom predstojeće periode takta. Na šematskom simbolu D-flipflopa prikazanom na slici 4a, ulaz za takt je predstavljen trouglom<sup>1</sup>. Funkcionalna tabela D-flipflopa je prikazana na slici 4b, a eksitaciona na slici 4c. Karakteristični vremenski dijagrami signala koji ilustruju rad D-flipflopa prikazani su na slici 4d.



Slika 4: D-flipflop

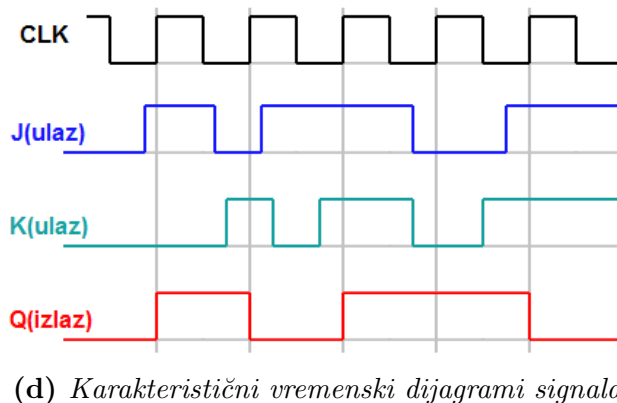
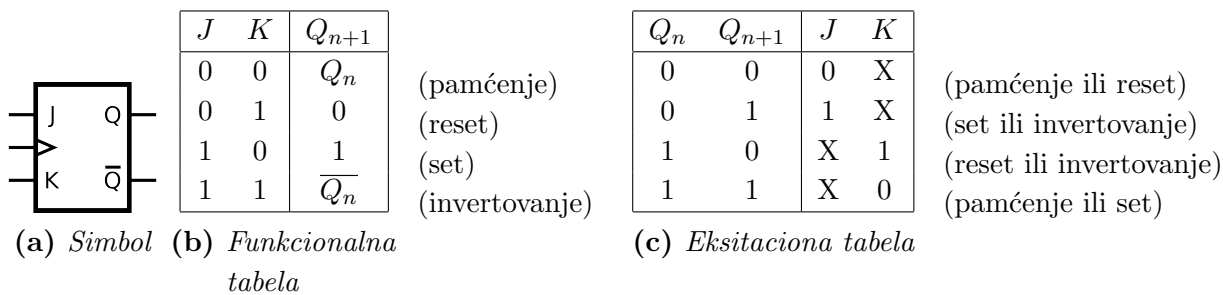
## JK-flipflop

JK-flipflop ima 2 ulaza ( $J$  i  $K$ ). Njegova funkcionalna tabela je slična kao kod SR-leč kola, izuzev u jednom detalju: Kombinacija kada su oba ulaza na logičkoj jedinici je dozvoljena i dovodi do invertovanja stanja kola. Slika 5 prikazuje šematski simbol, funkcionalnu i eksitacionu tabelu JK-flipflopa i karakteristične vremenske dijagrame signala koji ilustruju njegov rad.

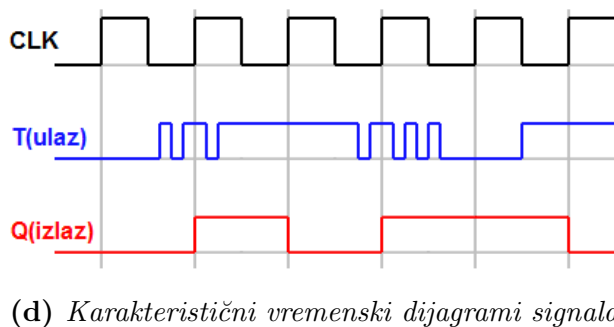
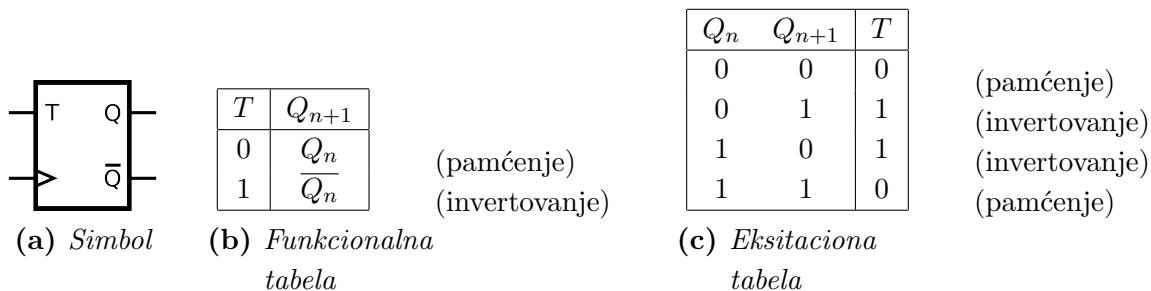
## T-flipflop

T-Flipflop ima jedan ulaz ( $T$ ). Logika rada mu je takva da kada je  $T = 0$ , flipflop zadržava stanje u kojem se trenutno nalazi, a kada je  $T = 1$ , invertuje stanje. Slika 6 prikazuje šematski simbol, funkcionalnu i eksitacionu tabelu T-flipflopa i karakteristične vremenske dijagrame signala koji ilustruju njegov rad.

<sup>1</sup>Ukoliko se okidanje vrši opadajuću ivicu takta, na šematskom simbolu flipflopa ispred ulaza za takt stoji kružić.



Slika 5: JK-flipflop

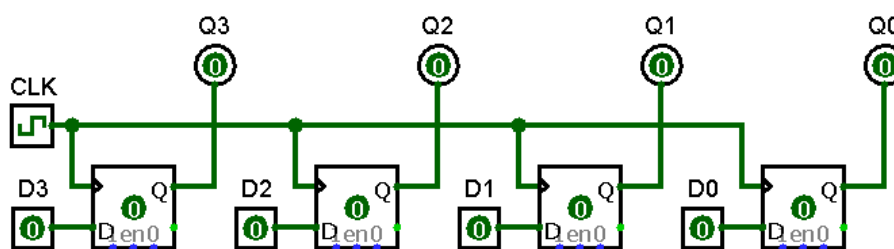


Slika 6: T-flipflop

## Registri

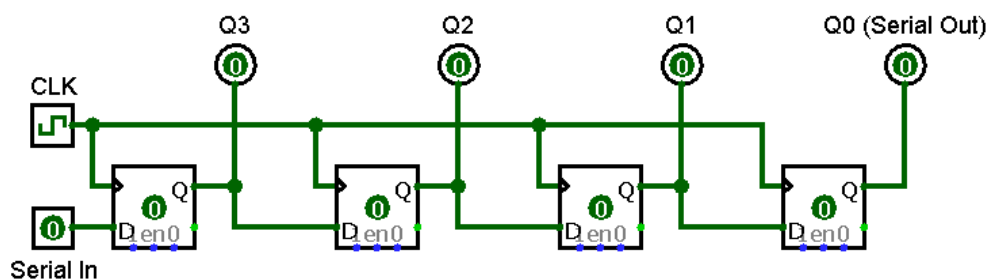
Registri su složenija sekvencijalna kola koja se dobijaju kombinovanjem više osnovnih memorijskih elemenata, najčešće flipflova. Osnovna osobina registra je sposobnost pamćenja više bita digitalne informacije koja je u njega upisana. Tu vrednost preko svojih izlaza registar po potrebi prosleđuje drugim elementima koji sačinjavaju digitalni sistem. Flipflovi koji sačinjavaju isti registar obično koriste zajednički takt signal, što znači da se upis pojedinačnih bita u flipflopove vrši istovremeno (sinhrono), na aktivnu ivicu takta.

U zavisnosti od načina međusobnog povezivanja flipflova, postoji više tipova registara. Osnovni je stacionarni registar, prikazan na slici 7. Ovaj tip registra karakteriše paralelni upis. Pojedinačni biti informacije koja se upisuje u registar se istovremeno dovode na ulaze  $D_n$ , odnosno u slučaju  $n$ -bitnog registra sa slike  $D_3..D_0$ . Kao što je već napomenuto, upis se vrši sinhrono sa takt signalom (CLK).



Slika 7: 4-bitni stacionarni registar

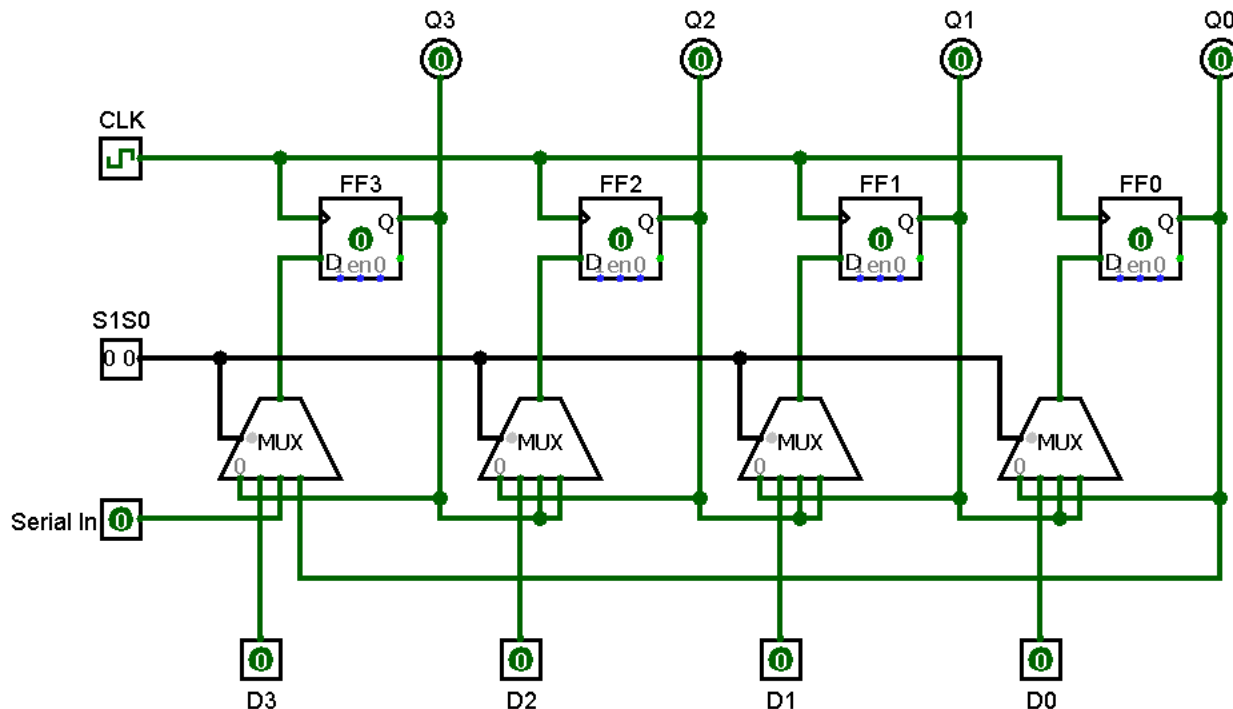
Drugi tip registra, prikazan na slici 8 je pomerački (engl. Shift) registar. U ovom slučaju flipflovi su povezani redno, tako da je izlaz  $Q$  svakog flipflopa u nizu spojen na  $D$  ulaz sledećeg. Ulaz prvog flipflopa se naziva Serijski ulaz (Serial In na slici) i na njega se dovodi informacija koju je potrebno upisati u registar. Upis informacije se vrši tako što se na serijski ulaz dovodi po jedan bit u svakoj periodi takta. Pri tome, u svakoj periodi takta se celokupan sadržaj registra pomera za po jedan bit, od ulaza ka izlazu poslednjeg flipflopa u nizu (Serial Out). U primeru na slici prikazan je četvorobitni pomerački registar, što znači da svaki bit informacije dovedene na ulaz dospeva na izlaz registra nakon tačno 4 periode takta. Ovakvi registri se tipično primenjuju u sistemima za serijski prenos informacija, gde je za prenos dovoljna samo jedna linija.



Slika 8: 4-bitni pomerački registar udesno

**Zadatak** Nacrtati šemu 4-bitnog pomeračkog registra sa pomeranjem ulevo. Proveriti funkcionalnost simulacijom.

Konačno, u praksi je čest slučaj da se realizuju registri koji mogu da obavljaju više funkcija. Ovo se postiže multipleksiranjem ulaza flipflova, kao što je prikazano u primeru na slici 9.



Slika 9: Registar sa više funkcija

U ovom primeru, na ulazu svakog flipflopa dovodi se izlaz odgovarajućeg multipleksera 4/1. Multiplekseri dele zajedničke selekzione ulaze  $S_1$  i  $S_0$ , koji diktiraju funkcionalnost registra u zavisnosti od toga koju četvorku informacionih ulaza aktiviraju u datom trenutku. Analizom sva 4 moguća stanja na selekcionim ulazima, zaključuje se da registar sa slike obavlja sledeće funkcije:

$S_1$	$S_0$	Funkcija koju registar obavlja
0	0	Zadržava (pamti) stanje
0	1	Paralelni upis
1	0	Pomeranje udesno
1	1	Rotacija udesno

**Zadatak** Nacrtati i simulacijom proveriti funkcionalnost 4-bitnog registra koji obavlja sledeće funkcije:

$S_1$	$S_0$	Funkcija koju registar obavlja
0	0	Paralelni upis
0	1	Rotacija udesno
1	0	Rotacija ulevo
1	1	Reset (upis vrednosti $0000_2$ )

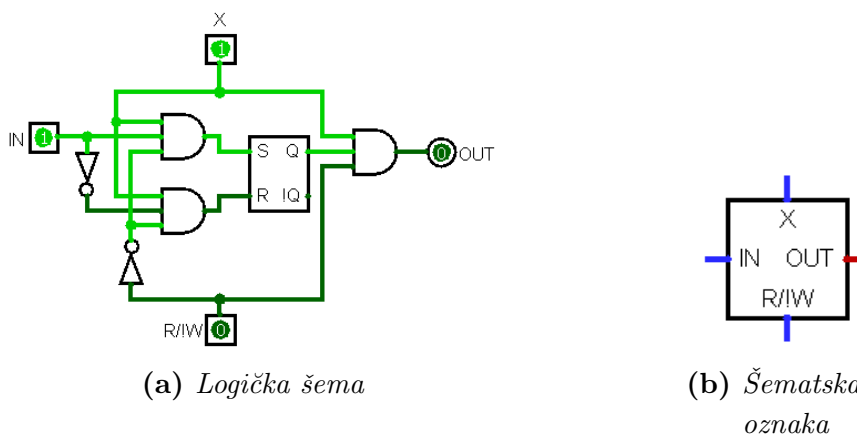
## Memorije

Kada je potrebno čuvati veću količinu digitalne informacije, umesto registara se koriste složenije strukture koje se nazivaju memorijama. Osnovna podela memorija je na ROM (engl. Read Only Memory), sa fiksnim sadržajem i RAM (engl. Random Access Memory) sa promenljivim sadržajem. Iz memorije ROM tipa se podaci mogu samo čitati, a zavisno od vrste, upis podataka se vrši fabrički odgovarajućim postupkom, ili na mestu primene, upotrebom namenskog uređaja (programatora). Osnovna osobina ovih memorija je da ne gube sadržaj nakon isključenja napajanja. Za razliku od ROM memorija, memorije tipa RAM dozvoljavaju neograničen broj operacija upisa i čitanja podataka, ali se upisani podaci nepovratno gube nakon isključenja napajanja.

### Struktura RAM memorije

Memorije se sastoje od većeg broja elementarnih memorijskih ćelija koje čuvaju pojedinačne bite informacije i koje su organizovane u celine nalik na registre, koje se nazivaju memorijskim lokacijama. Kapacitet memorije se izražava pomoću 2 parametra:

- **Broj memorijskih lokacija  $k$ :** Svakoj memorijskoj lokaciji se dodeljuje jedinstvena adresa u opsegu  $[0..k - 1]$ . Adresiranje memorijskih lokacija se vrši preko linija za adresiranje, koje čine tzv. adresnu magistralu<sup>2</sup>. Adresnom magistralom (engl. Address Bus) širine  $m$  bita moguće je adresirati  $k = 2^m$  memorijskih lokacija.
- **Širina memorijske lokacije (memorijske reči) u bitima  $n$ :** Ovaj parametar izražava broj elementarnih memorijskih ćelija u okviru svake memorijske lokacije. U praksi, najčeće se uzima da je širina memorijske lokacije  $n = 8$  bita (1 bajt). Linije za prenos podataka ka i od memorije nazivaju se magistralom podataka (engl. Data Bus), a širina ove magistrale odgovara širini memorijske lokacije.



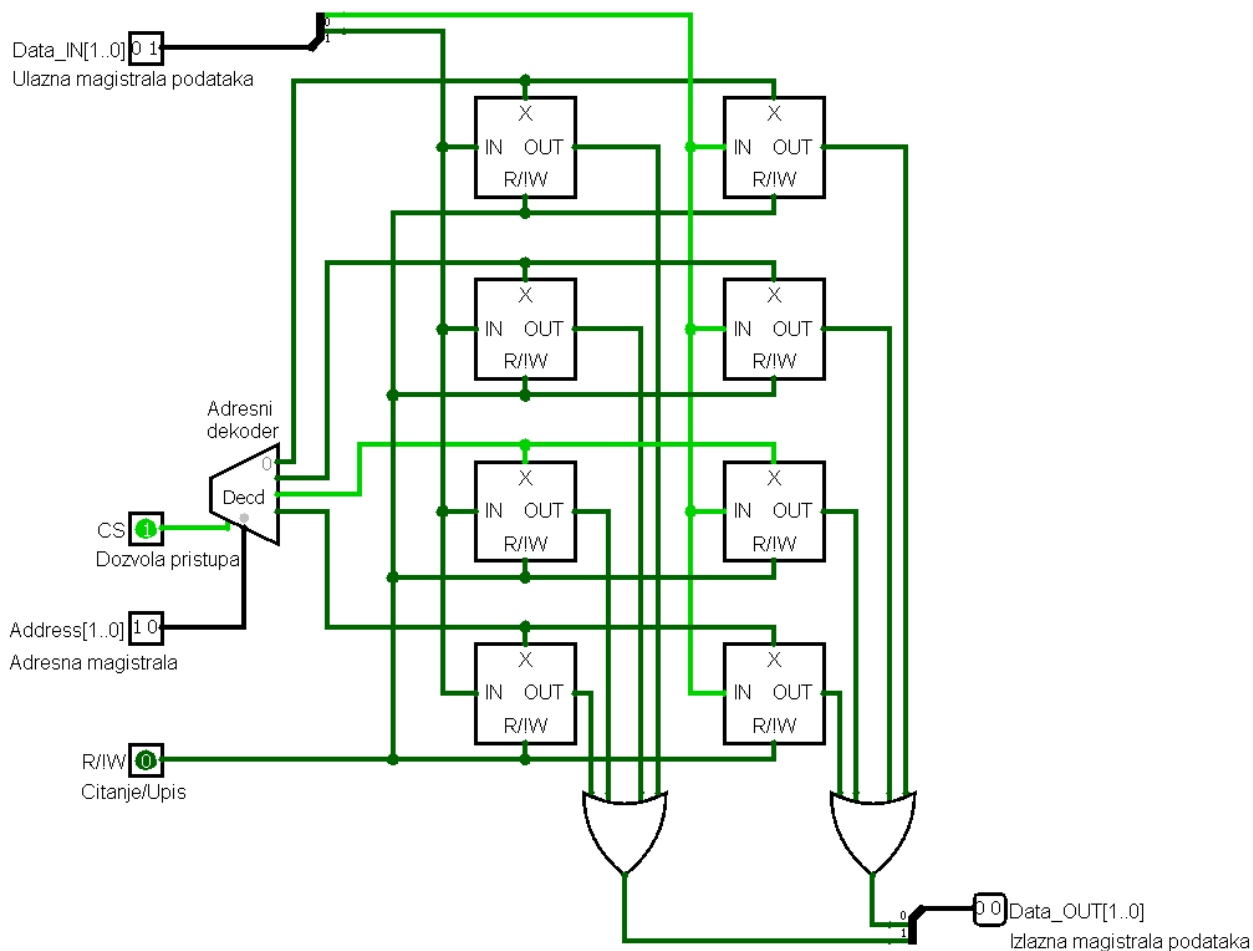
Slika 10: Elementarna memorijska ćelija sa SR-lečom

<sup>2</sup>Uopšteno, magistrala (engl. Bus) predstavlja skup više linija kojima se vrši paralelni prenos informacije između komponenti digitalnog sistema.



Logička šema elementarne memorijske ćelije bazirane na SR-leću data je na slici 10a. Pristup ćeliji je omogućen samo u slučaju kada je priključak za adresiranje  $X = 1$ . Vrednost signala na priključku  $R/\overline{W}$  određuje da li će se vršiti čitanje (engl. Read), ili upis (engl. Write) podatka. Prema tome, upis podatka sa ulaza  $IN$  se vrši kada je  $X = 1$  i  $R/\overline{W} = 0$ , a čitanje sadržaja ćelije na izlazu  $OUT$  kada je  $X = 1$  i  $R/\overline{W} = 1$ . Šematska oznaka ovakve ćelije prikazana je na slici 10b.

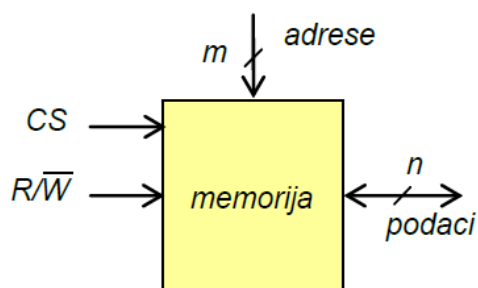
Interna struktura RAM memorije prikazana je na slici 11, na primeru RAM  $4 \times 2$ . Memorija je organizovana u obliku matrice koju čine 4 lokacije od po 2 bita. Na osnovu stanja adresnih linija  $A_1$  i  $A_0$ , adresni dekodler aktivira signal za pristup  $X$  na dve memorijske ćelije koje pripadaju istoj lokaciji (npr. za  $A_1 = 1$  i  $A_0 = 0$  aktivan je izlaz  $X_2 = A_1 \cdot \overline{A_0}$ , čime je omogućen pristup ćelijama na adresi  $10_2 = 2_{10}$ . Da bi bio izvršen upis vrednosti koje su postavljene na ulaznu magistralu  $Data\_IN[1..0]$ , potrebno je postaviti ulaz  $R/\overline{W}$  na logičku nulu. U suprotnom slučaju, kada sadraj iz lokacije sa adresom  $10_2$  treba da se pročita preko izlazne magistrale  $Data\_OUT[1..0]$ , onda se  $R/\overline{W}$  postavlja na 1. Priključak CS (engl. Chip Select) obezbeđuje mogućnost dozvole, odnosno zabrane pristupa kolu. Ovaj priključak naročito dolazi do značaja u slučaju kombinovanja većeg broja memorijskih blokova kako bi se realizovala memorija većeg kapaciteta, jer se preko njega vrši izbor koji memorijski blok će biti aktivan u datom trenutku.



Slika 11: RAM memorija  $4 \times 2$

U praksi, radi smanjenja broja priključaka preko kojih se pristupa memoriji, uobičajeno je da se ulazna i izlazna magistrala podataka spajaju u jedinstvenu magistralu podataka. Da bi ovo imalo smisla, neophodno je na izlazima iz memorije koristiti trostatička kola, koja diktiraju stanja na magistrali samo u slučaju kada je aktivan signal za čitanje (naravno, pod uslovom da je  $CS$  signal takođe aktivan). U suprotnom, ova izlazna kola se prebacuju u stanje izlazne impedanse, tako da stanje na magistrali podataka određuje neki drugi uređaj koji je priključen na istu magistralu. Za ovakvu magistralu se kaže da je bidirekciona (dvosmerna), pošto se iste fizičke linije koriste i za upis i za čitanje.

Na slici 12a prikazana je šematska oznaka RAM memorije sa  $m$  adresnih linija i  $n$  linija za podatke. Dakle, oznaka ovakve memorije je  $RAM\ 2^m \times n$  što označava da se radi o RAM memoriji sa  $2^m$  memorijskih lokacija širine  $n$  bita. Nad sadržajem memorijskih lokacija su dozvoljene operacije čitanja ili upisa i to na takav način da je u svakom trenutku moguće pristupiti tačno jednoj memorijskoj lokaciji, koja je određena stanjem linija adresne magistrale. Ponašanje ovakvog memorijskog kola u zavisnosti od kontrolnih signala je prikazano u tabeli na slici 12b.



(a) Šematska oznaka

$CS$	$R/\overline{W}$	Operacija
0	X	Nema operacije
1	0	Upis
1	1	Čitanje

(b) Ponašanje u zavisnosti od kontrolnih signala

Slika 12: Memorija  $RAM\ 2^m \times n$