

SPISAK TEORIJSKIH PITANJA

Predavanje 1 - Uvod u VHDL

- 1 Tipičan proces razvoja digitalnog integrisanog kola
- 2 Modelovanje digitalnih sistema
- 3 Razlozi za korišćenje modela
- 4 Domeni i nivoi modelovanja
- 5 Jezici za modelovanje hardvera
- 6 Opisati osnovnu strukturu VHDL modela i objasniti funkciju svakog dela
- 7 Najčešće korišćeni stilovi modelovanja u VHDL-u. Ilustrovati primerima.

Predavanje 2 - Skalarni tipovi podataka

- 1 Deklaracije konstanti, promenljivih i signala. Objasniti postupak, ilustrovati sa nekoliko primera.
- 2 Deklaracija celobrojnih tipova i osnovne operacije nad njima. Ilustrovati primerima.
- 3 Deklaracija tipova za rad sa realnim brojevima i osnovne operacije nad njima. Ilustrovati primerima.
- 4 Fizički tipovi.
- 5 Nabrojivi (enumerisani) tipovi. Navesti standardne nabrojive tipove.
- 6 Deklaracije podtipova. Ilustrovati primerima.
- 7 Kvalifikacija i konverzija tipova.
- 8 Atributi skalarnih tipova. Ilustrovati primerima.
- 9 Navesti osnovne VHDL operatore koji se mogu koristiti u radu sa skalarnim tipovima.

Predavanje 3 - Konkurentne naredbe 1

- 1 Naredba dodele vrednosti signalu. Objasniti način rada, korišćenja i ilustrovati primerima.
- 2 Atributi signala.
Konkurentne naredbe za dodelu vrednosti signalu. Naredbe uslovne dodele vrednosti signalu. Ilustrovati primerima.
- 3 Konkurentne naredbe za dodelu vrednosti signalu. Naredbe selektovane dodele vrednosti signalu. Ilustrovati primerima.
- 4 Konkurentna ASSERT naredba. Ilustrovati primerima.
- 6 PROCESS naredba. Ilustrovati primerima.
- 7 WAIT naredba. Ilustrovati primerima.
- 8 Delta kašnjenja.

Predavanje 4 - Konkurentne naredbe 2

- 1 Objasniti rad sa naredbama instancioniranja komponenti. Ilustrovati primerima.
- 2 Objasniti alternativni način intancioniranja komponenti. Ilustrovati primerima.
- 3 GENERATE naredbe. Objasniti postojeće varijante i ilustrovati korišćenje sa nekoliko primera.
- 4 FOR GENERATE naredba. Ilustrovati primerima.
- 5 IF GENERATE naredba. Ilustrovati primerima.
- 6 Objasniti osnovne korake koji se vrše prilikom obrade VHDL dizajna.

Predavanje 5 - Sekvencijalne naredbe

- 1 IF naredbe. Ilustrovati korišćenje primerima.
- 2 CASE naredbe. Ilustrovati korišćenje primerima.
- 3 NULL naredbe. Ilustrovati korišćenje primerima.
- 4 LOOP naredbe. Ilustrovati korišćenje primerima.
- 5 EXIT i NEXT naredbe. Ilustrovati korišćenje primerima.
- 6 WHILE petlje. Ilustrovati korišćenje primerima.
- 7 FOR petlje. Ilustrovati korišćenje primerima.
- 8 ASSERT i REPORT naredbe. Ilustrovati korišćenje primerima.

Predavanje 6 - Kompozitni tipovi podataka

- 1 Rad sa jednodimenzionalnim nizovima u VHDL-u. Ilustrovati primerima.
- 2 Rad sa višedimenzionalnim nizovima u VHDL-u. Ilustrovati primerima.
- 3 Inicijalizacija nizova. Ilustrovati primerima.
- 4 Atributi nizova. Ilustrovati primerima.
Rad sa neograničenom nizovima u VHDL-u. Navesti najpoznatije predefinisane tipove neograničenog niza koji se
- 5 koriste u VHDL-u. Ilustrovati primerima.
- 6 Rad sa neograničenim portovima u VHDL-u. Ilustrovati primerima.
- 7 Osnovne operacije se nizovima. Ilustrovati primerima.
- 8 Rad sa podnizovima. Ilustrovati primerima.
- 9 Konverzije nizova. Ilustrovati primerima.
- # Rad sa strukturama u VHDL-u. Ilustrovati primerima.

Predavanje 7 - Potprogrami

- 1 Rad sa procedurama u VHDL-u. Ilustrovati primerima.
- 2 Parametri procedura. Ilustrovati primerima.
- 3 Parametri tipa neograničeni niz. Ilustrovati primerima.
- 4 Konkurentne naredbe poziva procedure. Ilustrovati primerima.
- 5 Rad sa funkcijama u VHDL-u. Ilustrovati primerima.
- 6 Čiste i nečiste funkcije.
- 7 Vidljivost deklaracija u VHDL-u. Ilustrovati primerima.

Predavanje 8 - Paketi i generičke konstante

- 1 Deklaracije paketa. Ilustrovati primerima.
- 2 Potprogrami u deklaracijama paketa. Ilustrovati primerima.
- 3 Konstante u deklaracijama paketa. Ilustrovati primerima.
- 4 Tela paketa. Ilustrovati primerima.
- 5 USE naredbe. Ilustrovati primerima.
- 6 Generičke konstante u VHDL-u. Ilustrovati primerima.
- 7 Parametrizovani modeli. Ilustrovati primerima.

Predavanje 9 - Uvod u verifikaciju hardvera

- 1 Rad sa binarnim datotekama u VHDL-u. Ilustrovati primerima.
- 2 Textio paket za rad sa tekstualnim datotekama. Ilustrovati primerima.
- 3 Izazovi sa kojima se suočavamo prilikom verifikacije hardvera.
- 4 Verifikacioni ciklus. Nacrtati i ukratko objasniti svaki korak.
- 5 Nacrtati i objasniti osnovnu strukturu verifikacionog okruženja.
- 6 Vrste testbenčeva.