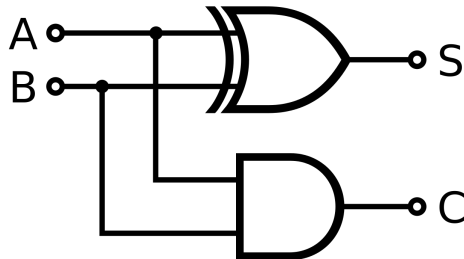
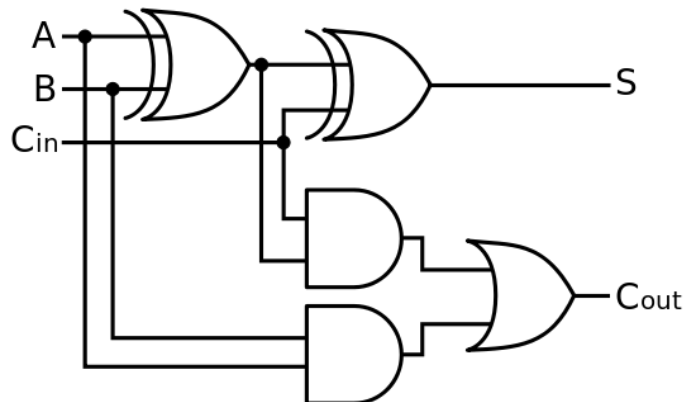


## UME zadaci - druga nedelja

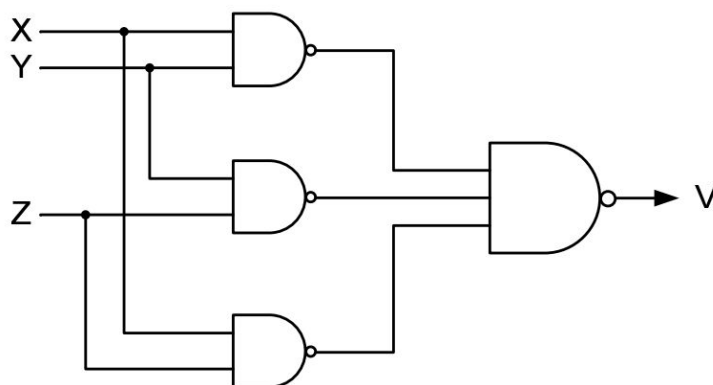
**Zadatak 1.** Pomoću VHDL-a implementirati i simulirati polusabirač (*half adder*). Struktura polusabirača ilustrovana je na sledećoj slici.



**Zadatak 2.** Pomoću VHDL-a implementirati i simulirati potpuni sabirač (*full adder*). Struktura potpunog sabirača ilustrovana je na sledećoj slici.



**Zadatak 3.** Pomoću VHDL-a implementirati i simulirati kolo za glasanje (*majority voter*) sa tri ulaza. Struktura kola za glasanje ilustrovana je na sledećoj slici.



**Zadatak 4.** Pomoću VHDL-a modifikovati zadatak 2. tako da funkcija kola bude oduzimanje ulaznih signala A i B. Simulacijom proveriti rad izmenjenog kola.

**Zadatak 5.** Pomoću VHDL-a implementirati i simulirati kolo za množenje dva dvobitna broja. Struktura množača ilustrovana je na sledećoj slici.

